

Docket No.: 50212-539

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Chie FUKUDA, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: September 23, 2003	:	Examiner: Unknown
	:	
For: INTEGRATED OPTICAL ELEMENT, INTEGRATED OPTICAL ELEMENT FABRICATION METHOD, AND LIGHT SOURCE MODULE		

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

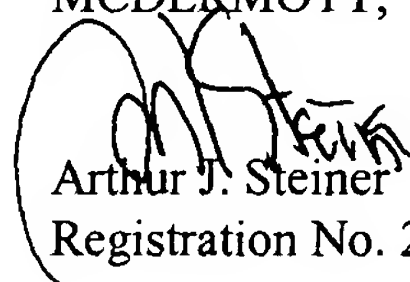
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claims the priority of:

Japanese Patent Application No. 2002-279512, filed September 25, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Arthur J. Steiner
Registration No. 26,106

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 AJS:tlb
Facsimile: (202) 756-8087
Date: September 23, 2003

50212-539
FUKUDA et al.
September 23, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE *WEDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月25日

出 願 番 号

Application Number:

特願2002-279512

[ST.10/C]:

[JP2002-279512]

出 願 人

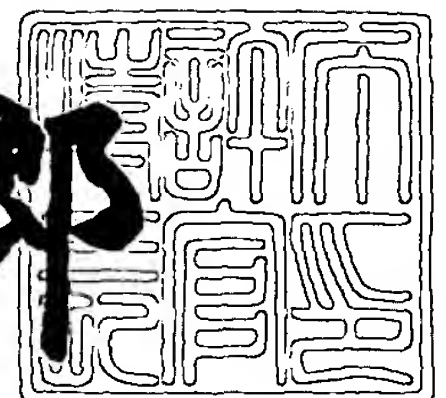
Applicant(s):

住友電気工業株式会社

2003年 4月 4日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3024025

【書類名】 特許願

【整理番号】 102Y0565

【提出日】 平成14年 9月25日

【あて先】 特許庁長官殿

【国際特許分類】 G02B 6/10

H01S 3/00

【発明者】

【住所又は居所】 神奈川県横浜市栄区田谷町 1 番地 住友電気工業株式会
社横浜製作所内

【氏名】 福田 智恵

【発明者】

【住所又は居所】 神奈川県横浜市栄区田谷町 1 番地 住友電気工業株式会
社横浜製作所内

【氏名】 勝山 造

【発明者】

【住所又は居所】 神奈川県横浜市栄区田谷町 1 番地 住友電気工業株式会
社横浜製作所内

【氏名】 山口 章

【発明者】

【住所又は居所】 神奈川県横浜市栄区田谷町 1 番地 住友電気工業株式会
社横浜製作所内

【氏名】 佐々木 隆

【特許出願人】

【識別番号】 000002130

【氏名又は名称】 住友電気工業株式会社

【代理人】

【識別番号】 100088155

【弁理士】

【氏名又は名称】 長谷川 芳樹

【選任した代理人】

【識別番号】 100089978

【弁理士】

【氏名又は名称】 塩田 辰也

【選任した代理人】

【識別番号】 100092657

【弁理士】

【氏名又は名称】 寺崎 史朗

【選任した代理人】

【識別番号】 100110582

【弁理士】

【氏名又は名称】 柴田 昌聰

【手数料の表示】

【予納台帳番号】 014708

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0106993

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 光集積素子、光集積素子の製造方法、及び光源モジュール

【特許請求の範囲】

【請求項 1】 所定波長の光を出力する半導体光素子と、
基板、及び前記基板上に設けられた光導波路を有して構成され、前記半導体光素子からの光が前記光導波路を伝搬される光回路素子と、
前記半導体光素子及び前記光回路素子を素子搭載面上に搭載するシリコンベンチと
を備えることを特徴とする光集積素子。

【請求項 2】 前記半導体光素子及び前記光回路素子は、前記シリコンベンチに対して、発光層及び光導波層が前記素子搭載面側に位置するようにそれぞれ配置されていることを特徴とする請求項 1 記載の光集積素子。

【請求項 3】 前記半導体光素子は、前記光導波路側の端面が A R コートされた半導体光増幅素子であり、

前記光回路素子は、前記光導波路に、前記半導体光増幅素子に対して外部共振器を構成するグレーティングが形成されていることを特徴とする請求項 1 記載の光集積素子。

【請求項 4】 前記半導体光増幅素子として、N 個（N は 2 以上の整数）の半導体光増幅素子が前記シリコンベンチの前記素子搭載面上に搭載され、

前記光回路素子は、前記光導波路として、前記 N 個の半導体光増幅素子に対応する N 本の光導波路を有するとともに、前記 N 本の光導波路のそれぞれに、互いに異なる反射ピーク波長を有する前記グレーティングが形成されていることを特徴とする請求項 3 記載の光集積素子。

【請求項 5】 前記光回路素子は、前記 N 本の光導波路を伝搬される光を合波する光合波器を有することを特徴とする請求項 4 記載の光集積素子。

【請求項 6】 前記半導体光素子の前記光導波路側の端面と、前記光回路素子の前記光導波路との間に、樹脂が充填されていることを特徴とする請求項 1 記載の光集積素子。

【請求項 7】 前記樹脂は、屈折率が 1. 3 0 0 以上 1. 4 4 4 以下である

ことを特徴とする請求項 6 記載の光集積素子。

【請求項 8】 前記光回路素子は、前記半導体光素子からの光の光軸に直交する面に対して、前記半導体光素子側の端面が 3° 以上 8° 未満の角度で傾いて形成されていることを特徴とする請求項 1 記載の光集積素子。

【請求項 9】 前記光回路素子は、前記基板が石英基板からなることを特徴とする請求項 1 記載の光集積素子。

【請求項 10】 前記半導体光素子は、FFP が 15° 以下であるスポットサイズ変換構造を有して構成され、

前記光回路素子は、前記光導波路のコア及びクラッドの比屈折率差が 1.0% 以上であることを特徴とする請求項 1 記載の光集積素子。

【請求項 11】 所定波長の光を出力する半導体光素子と、基板、及び前記基板上に設けられた光導波路を有して構成される光回路素子とを、シリコンベンチの素子搭載面上に搭載して、前記半導体光素子からの光が前記光回路素子の前記光導波路を伝搬される光集積素子を作製することを特徴とする光集積素子の製造方法。

【請求項 12】 前記光回路素子の作製において、前記光導波路を構成するコア及びクラッドのガラス膜を CVD 法によって形成することを特徴とする請求項 11 記載の光集積素子の製造方法。

【請求項 13】 前記シリコンベンチの作製において、前記素子搭載面に、前記光回路素子の前記光導波路からの光が入力される光ファイバを搭載するための V 溝と、前記半導体光素子及び前記光回路素子を搭載するときにダイボンドに認識させる位置合わせマークとを、KOH エッチング工程によって一括して形成することを特徴とする請求項 11 記載の光集積素子の製造方法。

【請求項 14】 前記シリコンベンチの前記素子搭載面上に前記半導体光素子を搭載した後に、前記光回路素子を搭載することを特徴とする請求項 11 記載の光集積素子の製造方法。

【請求項 15】 請求項 1 記載の光集積素子を備え、前記半導体光素子及び前記光回路素子によって構成された光源からの光を出力することを特徴とする光源モジュール。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体レーザ素子または半導体光増幅素子などの半導体光素子と、半導体光素子からの光が伝搬される光導波路とを集積した光集積素子、光集積素子の製造方法、及び光集積素子を用いた光源モジュールに関するものである。

【 0 0 0 2 】

【従来の技術】

所定波長の光を生成または増幅して出力する光素子として、半導体レーザ素子（LD：Laser Diode）または半導体光増幅素子（SOA：Semiconductor Optical Amplifier）などの半導体光素子と、半導体光素子から出力された光が伝搬される光導波路とを集積した光集積素子が知られている。このような光集積素子としては、例えば、特開平 1 1 - 9 7 7 8 4 号公報（特許文献 1）、または特開平 1 1 - 2 1 1 9 2 4 号公報（特許文献 2）に記載された光集積素子がある。

【 0 0 0 3 】

上記した文献のうち、文献 1 には、半導体レーザダイオードと、光誘起グレーティングが形成された光導波路とを有する外部共振器型の周波数安定化レーザが記載されている。また、文献 2 には、石英系光導波路や石英系光結合器と、発振波長が異なる複数の半導体レーザチップとを集積した光回路が記載されている。

【 0 0 0 4 】

【特許文献 1】

特開平 1 1 - 9 7 7 8 4 号公報

【特許文献 2】

特開平 1 1 - 2 1 1 9 2 4 号公報

【 0 0 0 5 】

【発明が解決しようとする課題】

上記文献に記載された光集積素子においては、いずれも、半導体光素子と光導波路とを同一のシリコン（Si）基板上に設けている。具体的には、シリコン基板上に平面導波路型の光導波路を含む光回路を形成するとともに、シリコン基板

の光導波路が形成されている面の一部に搭載部を設けて、半導体レーザ素子などの半導体光素子のチップを搭載している。

【 0 0 0 6 】

このような構成では、光を出力する半導体レーザ素子などの半導体光素子を搭載する基板としては、半導体光素子の放熱性などから考えて、上記のようにシリコン基板を用いることが好ましい。また、シリコン基板は、光ファイバを搭載するためのV溝等を精度良く形成することができる。しかしながら、シリコン基板上に光導波路を形成した場合、応力複屈折率による偏波依存性が大きくなり、良好な光導波路とすることが難しいという問題がある。

【 0 0 0 7 】

本発明は、以上の問題点を解決するためになされたものであり、半導体光素子に対して偏波依存性などの特性が良好な光導波路が集積された光集積素子、光集積素子の製造方法、及び光源モジュールを提供することを目的とする。

【 0 0 0 8 】

【課題を解決するための手段】

このような目的を達成するために、本発明による光集積素子は、（１）所定波長の光を出力する半導体光素子と、（２）基板、及び基板上に設けられた光導波路を有して構成され、半導体光素子からの光が光導波路を伝搬される光回路素子と、（３）半導体光素子及び光回路素子を素子搭載面上に搭載するシリコンベンチとを備えることを特徴とする。

【 0 0 0 9 】

また、本発明による光集積素子の製造方法は、所定波長の光を出力する半導体光素子と、基板、及び基板上に設けられた光導波路を有して構成される光回路素子とを、シリコンベンチの素子搭載面上に搭載して、半導体光素子からの光が光回路素子の光導波路を伝搬される光集積素子を作製することを特徴とする。

【 0 0 1 0 】

上記した光集積素子及びその製造方法においては、半導体レーザ素子または半導体光増幅素子などの１または複数個の半導体光素子と、それに対応する光導波路を有する光回路素子との２種類の光部品を別々に用意する。そして、それらを

光回路素子の基板とは別に設けられた基板であるシリコンベンチの所定の面上に搭載することによって、光集積素子を構成している。

【 0 0 1 1 】

これにより、半導体光素子が搭載される基板、及び光導波路が形成される基板として、それぞれ好適な材質の基板を用いることができる。したがって、半導体光素子に対して、偏波依存性などの特性が良好な光導波路が集積された光集積素子、及びその製造方法が得られる。また、2種類の光部品を別々に作製することにより、光集積素子の製造歩留まりを向上することができる。

【 0 0 1 2 】

また、光集積素子は、半導体光素子及び光回路素子が、シリコンベンチに対して、発光層及び光導波層が素子搭載面側に位置するようにそれぞれ配置されていることを特徴とする。これにより、半導体光素子の光軸と、光回路素子の光導波路の光軸との位置合わせ精度を向上することができる。

【 0 0 1 3 】

また、半導体光素子は、光導波路側の端面がARコートされた半導体光増幅素子であり、光回路素子は、光導波路に、半導体光増幅素子に対して外部共振器を構成するグレーティングが形成されていることを特徴とする。これにより、偏波依存性などの特性が良好な外部共振器型の光源を有する光集積素子が得られる。

【 0 0 1 4 】

さらに、半導体光増幅素子として、N個（Nは2以上の整数）の半導体光増幅素子がシリコンベンチの素子搭載面上に搭載され、光回路素子は、光導波路として、N個の半導体光増幅素子に対応するN本の光導波路を有するとともに、N本の光導波路のそれぞれに、互いに異なる反射ピーク波長を有するグレーティングが形成されていることを特徴とする。これにより、発振波長が異なる複数の外部共振器型の光源から構成された多波長光源を有する光集積素子が得られる。

【 0 0 1 5 】

この場合、光回路素子は、N本の光導波路を伝搬される光を合波する光合波器を有する構成としても良い。

【 0 0 1 6 】

また、半導体光素子の光導波路側の端面と、光回路素子の光導波路との間に、樹脂が充填されていることを特徴とする。これにより、光回路素子の端面からの半導体光素子への反射戻り光を低減することができる。このような構成では、充填される樹脂の屈折率を1.300以上1.444以下とすることが、反射戻り光を十分に低減する上で好ましい。

【0017】

また、光回路素子は、半導体光素子からの光の光軸に直交する面に対して、半導体光素子側の端面が3°以上8°未満の角度で傾いて形成されていることを特徴とする。これにより、光回路素子の端面からの半導体光素子への反射戻り光を低減することができる。

【0018】

また、光回路素子は、基板が石英基板からなることを特徴とする。このように石英基板上に光導波路を形成することにより、偏波依存性などの特性が良好な光導波路とすることができる。

【0019】

また、半導体光素子は、FFP（遠視野像での角度広がり）が15°以下であるスポットサイズ変換構造（SSC構造）を有して構成され、光回路素子は、光導波路のコア及びクラッドの比屈折率差が1.0%以上であることを特徴とする。これにより、半導体光素子から光回路素子の端面まで伝搬した光の径と、光導波路のモードフィールド径（MFD）とをマッチさせて、半導体光素子と光導波路との間での光の結合効率を高めることができる。

【0020】

また、光集積素子の製造方法は、光回路素子の作製において、光導波路を構成するコア及びクラッドのガラス膜をCVD法によって形成することを特徴とする。このように、膜厚制御性の良いCVD法を用いて光導波路を形成することにより、半導体光素子の光軸に対する光導波路の光軸の位置合わせ精度を向上することができる。

【0021】

また、シリコンベンチの作製において、素子搭載面に、光回路素子の光導波路

からの光が入力される光ファイバを搭載するためのV溝と、半導体光素子及び光回路素子を搭載するときにダイボンドに認識させる位置合わせマークとを、KOHエッチング工程によって一括して形成することを特徴とする。これにより、半導体光素子、光回路素子の光導波路、及び光ファイバの相互間の位置合わせ精度を向上することができる。

【 0 0 2 2 】

また、シリコンベンチの素子搭載面上に半導体光素子を搭載した後に、光回路素子を搭載することを特徴とする。これにより、光集積素子の製造時において、光回路素子に生じる熱による特性変化を抑制することができる。

【 0 0 2 3 】

また、本発明による光源モジュールは、上記した光集積素子を備え、半導体光素子及び光回路素子によって構成された光源からの光を出力することを特徴とする。これにより、偏波依存性などの特性が良好な光集積素子を光源とする光通信用の光源モジュールが得られる。

【 0 0 2 4 】

【発明の実施の形態】

以下、図面とともに本発明による光集積素子、光集積素子の製造方法、及び光集積素子を用いた光源モジュールの好適な実施形態について詳細に説明する。なお、図面の説明においては同一要素には同一符号を付し、重複する説明を省略する。また、図面の寸法比率は、説明のものと必ずしも一致していない。

【 0 0 2 5 】

図1は、本発明による光集積素子の一実施形態の断面構成を示す側面断面図である。また、図2は、図1に示した光集積素子の平面構成を示す上面図である。なお、図1は、光集積素子における光伝搬方向に平行であって、後述する半導体光増幅素子20₁、光導波路31₁、及び光ファイバ40₁の光軸を含む断面図となっている。

【 0 0 2 6 】

また、図3は、図1及び図2に示した光集積素子におけるシリコンベンチの平面構成を、シリコンベンチ上に搭載される光集積素子の各構成要素を除いた状態

で示す上面図である。

【 0 0 2 7 】

本実施形態の光集積素子 1 A は、シリコン (S i) 製の基板からなるシリコンベンチ 1 0 と、半導体光増幅素子 (S O A) 2 0 と、光回路素子 3 0 と、光ファイバ 4 0 とを備えている。

【 0 0 2 8 】

シリコンベンチ 1 0 は、その所定の面が、上記した S O A 2 0 及び光回路素子 3 0 の各素子のチップを搭載するための素子搭載面となっている。このシリコンベンチ 1 0 の素子搭載面には、光伝搬方向の上流側から下流側に向かって、S O A 2 0 を搭載するための第 1 搭載面 1 0 a、光回路素子 3 0 を搭載するための第 2 搭載面 1 0 b、及び光ファイバ 4 0 を搭載するための第 3 搭載面 1 0 c が設けられている。また、シリコンベンチ 1 0 の素子搭載面上には、絶縁膜が形成されている。

【 0 0 2 9 】

S O A 2 0 は、光を増幅して出力する半導体光素子である。図 1 及び図 2 に示した光集積素子 1 A においては、この S O A 2 0 として、4 個の S O A 2 0₁ ~ 2 0₄ が設置されている。それぞれの S O A 2 0_i (i = 1 ~ 4) は、光伝搬方向に対して上流側の端面 2 1 が H R (High-Reflection) コートされ、また、下流側で光回路素子 3 0 に対向する端面 2 2 が A R (Anti-Reflection) コートされている。これにより、S O A 2 0_i は、光増幅素子として機能するように構成されている。

【 0 0 3 0 】

これらの S O A 2 0₁ ~ 2 0₄ は、シリコンベンチ 1 0 の第 1 搭載面 1 0 a 上に、好ましくは A u S n からなるボンディングパッド 5 1 を介し (図 3 参照)、互いに並列に配置されて搭載されている。また、S O A 2 0_i は、図 1 に示すように、その発光層 2 6 が第 1 搭載面 1 0 a 側に位置するように、膜堆積面がシリコンベンチ 1 0 側となるフリップチップで搭載されている。また、S O A 2 0_i の膜堆積面には、電極材料による位置合わせマーク (図示していない) が形成されている。また、S O A 2 0₁ ~ 2 0₄ が搭載されているシリコンベンチ 1 0 の第 1

搭載面 1 0 a 上には、好ましくは T i P t A u からなる電極 5 0 が設けられている。

【 0 0 3 1 】

光回路素子 3 0 は、基板、及び基板上に設けられた光導波路を有して構成される平面導波路型の光回路素子である。光回路素子 3 0 は、石英基板 3 5 と、石英基板 3 5 の膜堆積面上に所定の導波路パターンで形成された光導波層と、石英基板 3 5 及び光導波層を覆うように形成されたオーバークラッド 3 7 とを有する。

【 0 0 3 2 】

本実施形態においては、石英基板 3 5 上の光導波層は、光伝搬方向を長手方向として互いに並列に配置された 4 本のコア 3 6 を有する導波路パターンで形成されている。これにより、光回路素子 3 0 は、4 本の光導波路 $3 1_1 \sim 3 1_4$ を有して構成されている。また、それぞれの光導波路 $3 1_i$ ($i = 1 \sim 4$) は、その光軸が、対応する S O A 2 0 $_i$ の光軸と一致する位置に設けられており、S O A 2 0 $_i$ からの光が光導波路 $3 1_i$ を伝搬されるようになっている。

【 0 0 3 3 】

また、光導波路 $3 1_1 \sim 3 1_4$ には、所定の反射ピーク波長を有する光誘起ブラッググレーティング 3 2 がそれぞれ形成されている。そして、光を増幅する S O A 2 0 $_i$ と、対応する光導波路 $3 1_i$ に設けられたグレーティング 3 2 とによって、所定波長の光を生成する外部共振器型の光源が構成されている。また、光導波路 $3 1_1 \sim 3 1_4$ のそれぞれに設けられたグレーティング 3 2 は、互いに異なる反射ピーク波長を有している。これにより、本光集積素子 1 A は、発振波長が異なる 4 個の外部共振器型の光源から構成された 4 波長光源となっている。

【 0 0 3 4 】

これらの光導波路 $3 1_1 \sim 3 1_4$ を有する光回路素子 3 0 は、好ましくは A u S n からなるボンディングパッド 5 2 を介し（図 3 参照）、シリコンベンチ 1 0 の第 2 搭載面 1 0 b 上に搭載されている。また、光回路素子 3 0 は、図 1 に示すように、そのコア 3 6 を含む光導波層が第 2 搭載面 1 0 b 側に位置するように、膜堆積面がシリコンベンチ 1 0 側となるフリップチップで搭載されている。

【 0 0 3 5 】

図4は、図1及び図2に示した光集積素子1Aの光伝搬方向に垂直な断面構成を、光導波路31₁～31₄を有する光回路素子30を含む位置について示すI-I矢印断面図である。シリコンベンチ10の第2搭載面10bには、図3及び図4に示すように、光導波路31₁～31₄のそれぞれに沿うように4本のV溝13が形成されている。また、シリコンベンチ10には、SOA20₁～20₄を搭載する第1搭載面10aと、光回路素子30を搭載する第2搭載面10bとの間に、ダイシング溝11が設けられている。

【0036】

光ファイバ40は、SOA20から出力されて光導波路31を伝搬された光を出力する光導波路である。本実施形態においては、光ファイバ40として、4本の光ファイバ40₁～40₄が設置されている。それぞれの光ファイバ40_i（i=1～4）は、そのコア41の光軸が、対応する光導波路30_iの光軸と一致する位置に設けられており、光導波路31_iからの光が光ファイバ40_iへと入力されるようになっている。

【0037】

これらの光ファイバ40₁～40₄は、シリコンベンチ10の第3搭載面10c上に、互いに並列に配置されて搭載されている。

【0038】

図5は、図1及び図2に示した光集積素子1Aの光伝搬方向に垂直な断面構成を、光ファイバ40₁～40₄を含む位置について示すII-II矢印断面図である。シリコンベンチ10の第3搭載面10cには、図3及び図5に示すように、4本のV溝14が形成されている。光ファイバ40₁～40₄は、それぞれ対応するV溝14によって位置決めされて固定されている。また、シリコンベンチ10には、光回路素子30を搭載する第2搭載面10bと、光ファイバ40₁～40₄を搭載する第3搭載面10cとの間に、ダイシング溝12が設けられている。

【0039】

SOA20₁～20₄をシリコンベンチ10上に搭載するためのボンディングパッド51は、図3に実線で示すように、シリコンベンチ10側の第1搭載面10a上に設けられている。また、光導波路31₁～31₄を有する光回路素子30を

シリコンベンチ 1 0 上に搭載するためのボンディングパッド 5 2 は、図 3 に破線で示すように、シリコンベンチ 1 0 の第 2 搭載面 1 0 b に対向する光回路素子 3 0 側のクラッド 3 7 の面上に、好ましくは T i P t A u からなるメタル層を介して設けられている。

【 0 0 4 0 】

また、シリコンベンチ 1 0 の第 2 搭載面 1 0 b 上には、素子搭載面上に S O A $2 0_1 \sim 2 0_4$ 及び光回路素子 3 0 を搭載するときにダイボンダに認識させる位置合わせマーク 5 3 が形成されている。同様に、光回路素子 3 0 のクラッド 3 7 の面上には、位置合わせマーク 5 4 が形成されている。

【 0 0 4 1 】

本実施形態による光集積素子の効果について説明する。

【 0 0 4 2 】

図 1 ～図 5 に示した光集積素子 1 A においては、半導体光素子である S O A $2 0_1 \sim 2 0_4$ と、光導波路 $3 1_1 \sim 3 1_4$ を有する光回路素子 3 0 との 2 種類の光部品を別々に用意する。そして、それらを光回路素子 3 0 の基板 3 5 とは別に設けられた基板であるシリコンベンチ 1 0 の搭載面 1 0 a ～ 1 0 c からなる所定の面上に搭載することによって、光集積素子 1 A を構成している。

【 0 0 4 3 】

これにより、S O A $2 0_1 \sim 2 0_4$ が搭載される基板、及び光導波路 $3 1_1 \sim 3 1_4$ のコア 3 6、クラッド 3 7 が形成される基板として、それぞれ好適な材質の基板を用いることができる。したがって、S O A $2 0_1 \sim 2 0_4$ に対して、偏波依存性などの特性が良好な光導波路 $3 1_1 \sim 3 1_4$ が集積された光集積素子 1 A が得られる。また、2 種類の光部品を別々に作製することにより、光集積素子 1 A の製造歩留まりを向上することができる。

【 0 0 4 4 】

光回路素子 3 0 において光導波路 $3 1_1 \sim 3 1_4$ のコア 3 6、クラッド 3 7 が形成される基板 3 5 としては、上述のように石英基板を用いることが好ましい。このように、石英基板上に光導波路を形成することにより、偏波依存性などの特性が良好な光導波路とすることができる。

【 0 0 4 5 】

また、このように基板 3 5 として石英基板を用いる場合、光回路素子 3 0 をシリコンベンチ 1 0 上に搭載するためのボンディングパッド 5 2 は、図 3 に示すように、光回路素子 3 0 の 4 隅に設けることが好ましい。これにより、基板 3 5 の反りによって光回路素子 3 0 とシリコンベンチ 1 0 とが接触することが抑制される。

【 0 0 4 6 】

また、光回路素子 3 0 の光導波路 $3\ 1_1 \sim 3\ 1_4$ に対し、図 3 及び図 4 に示すように、シリコンベンチ 1 0 の第 2 搭載面 1 0 b の対応する位置に V 溝 1 3 を形成しておくことが好ましい。例えば、CVD 法によってクラッド 3 7 を形成すると、光回路素子 3 0 のコア 3 6 上の表面が凸になる場合がある。これに対して、V 溝 1 3 を設けておくことにより、光回路素子 3 0 の凸部とシリコンベンチ 1 0 との接触が抑制され、また、接触による導波損失の増大、光軸位置ずれ等が防止される。

【 0 0 4 7 】

また、上記実施形態においては、半導体光素子である SOA $2\ 0_1 \sim 2\ 0_4$ 及び光回路素子 3 0 が、シリコンベンチ 1 0 に対して、その発光層及び光導波層がシリコンベンチ 1 0 の素子搭載面側に位置するようにそれぞれ配置されている。これにより、例えば無調芯の場合であっても、SOA $2\ 0_1 \sim 2\ 0_4$ の光軸と、光回路素子 3 0 の光導波路 $3\ 1_1 \sim 3\ 1_4$ の光軸との位置合わせ精度を向上することができる。

【 0 0 4 8 】

垂直方向の光軸位置については、各素子を作製する際の膜堆積精度や RIE 精度、及びシリコンベンチ 1 0 上にボンディングパッド 5 1、5 2 を介して各素子を搭載する際の Au Sn の加熱条件によって、位置を合わせることができる。

【 0 0 4 9 】

この場合、光導波路 $3\ 1_1 \sim 3\ 1_4$ を構成するコア 3 6 及びクラッド 3 7 のガラス膜は、CVD 法によって形成することが好ましい。また、TiPtAu などからなる電極、あるいは Au Sn からなるボンディングパッドなどの膜は、蒸着に

よって形成することが好ましい。このように、膜厚制御性の良い方法を用いて膜堆積を行うことにより、良好な光軸の位置合わせ精度が得られる。

【 0 0 5 0 】

一方、水平方向の光軸位置については、SOA 20₁～20₄及び光回路素子30を搭載するときに、高精度ダイボンドに位置合わせマーク53、54を認識させることによって、位置を合わせることができる。

【 0 0 5 1 】

この場合、シリコンベンチ10の作製においては、位置合わせマーク53と、光ファイバ40₁～40₄を搭載するためのV溝14とを、KOHエッチング工程により、同じフォトリソマスクを用いて素子搭載面上に一括して形成することが好ましい。これにより、位置合わせマークとV溝との間の位置ずれが抑制され、SOA 20₁～20₄、光回路素子30の光導波路31₁～31₄、及び光ファイバ40₁～40₄の相互間の位置合わせ精度を向上することができる。

【 0 0 5 2 】

また、光回路素子30の作製においては、同様に、位置合わせマーク54を、メタル層と同じフォトリソマスクを用いて形成することが好ましい。これにより、位置合わせマークと光導波路のコアとの間の位置ずれが抑制される。

【 0 0 5 3 】

なお、光集積素子1Aの各部の形状、例えばV溝幅、絶縁膜厚、電極厚、ボンディングパッド厚、クラッド厚、メタル層厚等は、それぞれ、SOA 20₁～20₄の光軸、光回路素子30の光導波路31₁～31₄の光軸、及び光ファイバ40₁～40₄の光軸が合うように適宜設計される。

【 0 0 5 4 】

また、上記実施形態においては、シリコンベンチ10の素子搭載面には、第1搭載面10aと第2搭載面10bとの間、及び第2搭載面10bと第3搭載面10cとの間に、それぞれ、ダイシング溝11、12が設けられている。これにより、SOA 20₁～20₄と光回路素子30との間、及び光回路素子30と光ファイバ40₁～40₄との間に異物などが挟まることが防止される。

【 0 0 5 5 】

また、シリコンベンチ 1 0 の素子搭載面上に T i P t A u などによって形成される電極 5 0 の膜厚は、例えば $0.56\ \mu\text{m}$ 程度とすることが好ましい。また、A u S n などによって形成されるボンディングパッド 5 1 の膜厚は、例えば $1.5\ \mu\text{m}$ 程度とすることが好ましい。これらの膜厚は、薄すぎると接合強度がとれず、一方、厚すぎると光軸位置ずれが大きくなる。

【 0 0 5 6 】

また、光回路素子 3 0 は、S O A 2 0_i からの光の光軸に直交する面（シリコンベンチ 1 0 の素子搭載面に直交する面）に対して、その S O A 2 0_i 側の端面が 3° 以上 8° 未満の所定角度、例えば 4.5° の角度、で傾いて形成されていることが好ましい（図 1 の断面図参照）。これにより、光回路素子 3 0 の端面からの S O A 2 0_i への反射戻り光を低減することができる。

【 0 0 5 7 】

光回路素子 3 0 の端面の傾き角度が 8° よりも大きいと、光回路素子 3 0 が S O A 2 0_i に対して接触しないように、S O A 2 0_i と光回路素子 3 0 との間を広くする必要があり、光の結合損失が大きくなる。また、傾き角度が 3° よりも小さいと、反射戻り光の低減効果が充分には得られなくなる。なお、図 1 に示す構成においては、光回路素子 3 0 の光ファイバ 4 0_i 側の端面も同様に傾いて形成されている。また、S O A 2 0_i の端面と光回路素子 3 0 の端面との間の距離は、例えば $20\ \mu\text{m}$ 程度である。

【 0 0 5 8 】

また、S O A 2 0_i は、F F P（遠視野像での角度広がり）が 15° 以下、例えば 12° 、であるスポットサイズ変換構造（S S C 構造）を有して構成されることが好ましい。また、光回路素子 3 0 は、光導波路 3 1_i のコア 3 6 及びクラッド 3 7 の比屈折率差 Δn が 1.0% 以上、例えば $\Delta n = 1.5\%$ 、であることが好ましい。これにより、S O A 2 0_i から光回路素子 3 0 の光導波路 3 1_i の端面まで伝搬した光の径と、光導波路 3 1_i のモードフィールド径（M F D）とをマッチさせ、S O A 2 0_i と光導波路 3 1_i との間での光の結合効率を高めて、低閾値、高出力の光集積素子 1 A とすることができる。

【 0 0 5 9 】

また、 $SOA\ 20_1 \sim 20_4$ の光導波路 $31_1 \sim 31_4$ 側の端面と、光回路素子 30 の光導波路 $31_1 \sim 31_4$ の端面との間に、樹脂が充填されていることが好ましい。これにより、光回路素子 30 の端面からの $SOA\ 20_1 \sim 20_4$ への反射戻り光を低減することができる。このような構成では、充填される樹脂の屈折率を 1.3 以上 1.444 以下とすることが、反射戻り光を十分に低減する上で好ましい。

【0060】

このように樹脂を充填する構成の具体例としては、図6（a）の側面図、及び図6（b）の上面図に破線によって示すように、光集積素子 $1A$ を構成するシリコンベンチ 10 、 $SOA\ 20_1 \sim 20_4$ 、及び光回路素子 30 の全体を樹脂 18 によって覆う構成を用いることができる。また、これ以外の構成としても良い。なお、このような構成では、 $SOA\ 20_1 \sim 20_4$ の下流側端面 22 のARコートは、樹脂 18 の屈折率に対して設計される。

【0061】

$1.55\ \mu m$ 波長帯域の光を想定した場合、例えば、屈折率 1.4 の樹脂を用いることができる。樹脂の屈折率が 1.3 よりも小さいと、各接合端面での光の結合損失が大きくなる。また、屈折率が 1.444 よりも大きいと、光回路素子でのクラッド厚が薄い場合、樹脂側に光が漏れて光導波路での導波損失が大きくなる。

【0062】

図1～図5に示した光集積素子 $1A$ の製造方法について、光集積素子 $1A$ の具体的な構成例とともに説明する。図7（a）～（d）は、図1に示した光集積素子 $1A$ の製造方法を概略的に示す工程図である。なお、図7（a）～（d）の各図においては、図1と同様の側面断面図によって各製造工程を示している。

【0063】

まず、半導体光素子である $SOA\ 20_1 \sim 20_4$ 、及び光回路素子 30 を搭載する基板であるシリコンベンチ 10 を作製する（図7（a））。シリコンベンチ 10 の一方を素子搭載面とし、その素子搭載面に、ダイシング溝 11 、 12 、V溝 13 、 14 、絶縁膜、TiPtAuからなる電極 50 、位置合わせマーク 53 を

形成し、さらに、電極 5 0 上に、 $SOA 2 0_1 \sim 2 0_4$ を搭載するための $Au Sn$ からなるボンディングパッド 5 1 を形成する。電極 5 0 の $Ti Pt Au$ の厚さは約 $0.56 \mu m$ 、ボンディングパッド 5 1 の $Au Sn$ の厚さは約 $1.5 \mu m$ とする。また、位置合わせマーク 5 3 は、V 溝 1 3、1 4 の形成と同じフォトマスクで KOH エッチングによって形成する。

【 0 0 6 4 】

次に、4 個の $SOA 2 0_1 \sim 2 0_4$ を用意し、シリコンベンチ 1 0 の素子搭載面の第 1 搭載面 1 0 a 上に搭載する（図 7（b））。それぞれの $SOA 2 0_i$ の作製においては、 Au などからなる電極（図示していない）はメッキではなく蒸着により、厚さ約 $1 \mu m$ で形成する。このように、蒸着によって電極を形成することで、電極の厚さのばらつきを $1 \mu m \pm 0.1 \mu m$ 程度に小さくすることができる。また、この $SOA 2 0_i$ では、SSC 構造で FFP を 12° とする。

【 0 0 6 5 】

上記のように作製された $SOA 2 0_1 \sim 2 0_4$ は、高精度ダイボンダにより、発光層 2 6 や電極等が形成されている膜堆積層がシリコンベンチ 1 0 側となるフリップチップの状態、シリコンベンチ 1 0 に形成されたボンディングパッド 5 1 を介して第 1 搭載面 1 0 a 上に搭載され固定される。このとき、 $SOA 2 0_1 \sim 2 0_4$ は、シリコンベンチ 1 0 側のボンディングパッド 5 1 の $Au Sn$ と、 $SOA 2 0_1 \sim 2 0_4$ 側の電極面の Au とが加熱で融け合うことによって固定される。

【 0 0 6 6 】

続いて、光導波路 $3 1_1 \sim 3 1_4$ を有する光回路素子 3 0 を用意し、シリコンベンチ 1 0 の素子搭載面の第 2 搭載面 1 0 b 上に搭載する（図 7（c））。光回路素子 3 0 の作製においては、石英基板 3 5 となる石英ウエハ上に厚さ $4.5 \mu m$ の光導波層をプラズマ CVD 法によって堆積し、フォトリソグラフィ及び $4.6 \mu m$ 深さの RIE によって光導波層を加工して、4 本の光導波路 $3 1_1 \sim 3 1_4$ に対応するパターンのコア 3 6 を形成する。そして、石英基板 3 5 及びコア 3 6 を覆うように厚さ $12.6 \mu m$ でオーバークラッド 3 7 をプラズマ CVD 法によって堆積する。

【 0 0 6 7 】

ここでは、SOA 20_iと、光回路素子30の光導波路31_iとの光軸合わせなどのため、オーバークラッド37の厚さを通常の平面光導波路での厚さ（約20 μm ）の半分程度としている。また、SOA 20_iとモードフィールド径（MFD）をマッチさせて光の結合効率を高めるため、光導波路31_iでのコア36とクラッド37との比屈折率差は $\Delta n = 1.5\%$ に設定している。隣り合うコア36の間隔は、500 μm 程度である。

【0068】

クラッド37の面上に、TiPtAuからなる厚さ0.56 μm のメタル層を蒸着及びリフトオフ（または蒸着、フォトリソグラフィ、及びRIE）によって形成し、さらに、このメタル層上に、AuSnからなる厚さ1.5 μm のボンディングパッド52を同じく蒸着及びリフトオフによって形成する。このようなプロセス及び各層の厚さの設定により、各工程での膜堆積厚さやエッチング深さのばらつきを合わせて、全体で $\pm 1 \mu\text{m}$ 以下のばらつきに抑えることができる。これにより、無調芯で光回路素子30を実装した場合でも、SOA 20_iと光導波路31_iとの間での光の結合効率を向上することができる。

【0069】

この平面導波路型の光回路素子30をウエハのまま、または適当な大きさに切り出して、所定の反射率及び反射波長帯域、反射ピーク波長を有する光誘起グレーティング32を形成する。また、水素処理、アニール等については、通常の場合で処理を行う。

【0070】

このとき、後のボンディング工程やパッケージング工程での熱や応力によってグレーティング32の特性が変化する量を見込んで、グレーティング32を形成しておくことが好ましい。また、光導波路31₁～31₄のそれぞれでのグレーティング32は、互いに異なる反射波長帯域及び反射ピーク波長となるように形成する。グレーティング32形成後、端面の傾き角度が4.5°となるようにダイシングし、2.5 mm×2.5 mmの光回路素子30のチップに分割する。

【0071】

上記のように作製された光回路素子30は、高精度ダイボンダにより、光導波

路 $31_1 \sim 31_4$ やボンディングパッド 52 等が形成されている膜堆積層がシリコンベンチ 10 側となるフリップチップの状態、光回路素子 30 に形成されたボンディングパッド 52 を介して第 2 搭載面 $10b$ 上に搭載され固定される。このとき、光回路素子 30 は、シリコンベンチ 10 側のメタル層と、光回路素子 30 側のボンディングパッド 52 の $AuSn$ とが加熱で融け合うことによって固定される。

【0072】

さらに、 $SOA20_1 \sim 20_4$ 及び光回路素子 30 が搭載されたシリコンベンチ 10 に対して、その第 3 搭載面 $10c$ 上に光ファイバ $40_1 \sim 40_4$ を搭載して、光集積素子 $1A$ を完成する（図 $7(d)$ ）。また、必要に応じて、シリコンベンチ 10 、 $SOA20_1 \sim 20_4$ 、及び光回路素子 30 を含む所定の範囲を樹脂 18 によって封止する（図 6 参照）。例えば、光集積素子 $1A$ を所定のパッケージに実装し、ファイバセットとワイヤボンドした後、その全体を、 $SOA20_1 \sim 20_4$ を水分等から守る樹脂で覆う。このとき、樹脂は $SOA20_1 \sim 20_4$ と光回路素子 30 との間、光回路素子 30 と光ファイバ $40_1 \sim 40_4$ との間、光回路素子 30 とシリコンベンチ 10 との間などにも充填される。

【0073】

以上により、光集積素子 $1A$ は、 $SOA20_1$ 及び光導波路 31_1 からなり発振波長 λ_1 の光を出力する外部共振器型の第 1 光源と、 $SOA20_2$ 及び光導波路 31_2 からなり発振波長 λ_2 の光を出力する外部共振器型の第 2 光源と、 $SOA20_3$ 及び光導波路 31_3 からなり発振波長 λ_3 の光を出力する外部共振器型の第 3 光源と、 $SOA20_4$ 及び光導波路 31_4 からなり発振波長 λ_4 の光を出力する外部共振器型の第 4 光源とを備える 4 波長光源として構成される。

【0074】

なお、光集積素子 $1A$ での発振波長 $\lambda_1 \sim \lambda_4$ は、 $SOA20_1 \sim SOA20_4$ の構成、及び光導波路 $31_1 \sim 31_4$ でのグレーティング 32 の構成等によって設定される。1. $55 \mu m$ 波長帯域に用いられる光源であれば、これらの発振波長は、例えば、 $\lambda_1 = 1537.2 \text{ nm}$ 、 $\lambda_2 = 1543.4 \text{ nm}$ 、 $\lambda_3 = 1550.0 \text{ nm}$ 、 $\lambda_4 = 1556.4 \text{ nm}$ にそれぞれ設定される。

【 0 0 7 5 】

図 8 は、本構成の光集積素子 1 A の光学特性を模式的に示すグラフである。図 8 (a) は光集積素子 1 A での発光スペクトルを示すグラフであり、グラフ A 1 ~ A 4 は、それぞれ上記した第 1 光源 ~ 第 4 光源の発光スペクトルに対応している。また、図 8 (b) は電流 - 光出力特性を示すグラフであり、グラフ B 1 ~ B 4 は、それぞれ第 1 光源 ~ 第 4 光源の特性に対応している。また、図 8 (c) は電流 - 発振波長特性を示すグラフであり、グラフ C 1 ~ C 4 は、それぞれ第 1 光源 ~ 第 4 光源の特性に対応している。

【 0 0 7 6 】

ここで、図 7 に示した光集積素子の製造方法では、シリコンベンチ 1 0 の素子搭載面上に S O A 2 0 ₁ ~ 2 0 ₄ を搭載し、その後に、光回路素子 3 0 の搭載を行っている。これにより、搭載時の熱によって生じる光回路素子 3 0 の光導波路 3 1 ₁ ~ 3 1 ₄ に形成されたグレーティング 3 2 の劣化が最小限に止められる。

【 0 0 7 7 】

また、このような製造工程に対応して、上記実施形態では、光回路素子 3 0 をシリコンベンチ 1 0 上に搭載するためのボンディングパッド 5 2 を、シリコンベンチ 1 0 側ではなく光回路素子 3 0 側に設けている。

【 0 0 7 8 】

光回路素子 3 0 搭載用のボンディングパッド 5 2 をシリコンベンチ 1 0 の素子搭載面上に設けると、S O A 2 0 ₁ ~ 2 0 ₄ 搭載時の熱によって、ボンディングパッド 5 2 の A u S n ままでが融けてしまい、あるいはボンディングパッド 5 2 の A u S n が酸化によって劣化する場合がある。これに対して、このボンディングパッド 5 2 を光回路素子 3 0 側に設けることにより、シリコンベンチ 1 0 へと S O A 2 0 ₁ ~ 2 0 ₄ 及び光回路素子 3 0 を順次搭載する上記の工程を好適に行うことができる。

【 0 0 7 9 】

光集積素子 1 A の構成及び特性について、さらに検討する。

【 0 0 8 0 】

図 9 は、図 1 に示した光集積素子 1 A における S O A 2 0 _i と光導波路 3 1 _i と

の間での光の結合損失を示すグラフである。このグラフにおいて、横軸は、 $SOA 20_i$ と光導波路 31_i との光軸の軸ずれ量 (μm) を示している。また、縦軸は、 $SOA 20_i$ と光導波路 31_i との間での光の結合損失 (dB) を示している。

【 0 0 8 1 】

ここでは、 $SOA 20_i$ の下流側の端面と、光導波路 31_i の上流側の端面との間の距離を $20 \mu m$ としている。また、 $SOA 20_i$ として、FFPが 12° のSSC構造を有するSOAを想定している。

【 0 0 8 2 】

また、グラフD1～D4は、 $SOA 20_i$ に対して結合される光導波路 31_i のコアサイズを $4.5 \mu m \times 4.5 \mu m$ で一定とするとともに、コア36とクラッド37との比屈折率差 Δn を変化させたときの光の結合特性をそれぞれ示している。

【 0 0 8 3 】

具体的には、グラフD1は光導波路 31_i の Δn を 1.50% 、MFDを $5.6 \mu m$ としたときの特性を示している。また、グラフD2は Δn を 0.75% 、MFDを $8 \mu m$ としたときの特性を示している。また、グラフD3は Δn を 0.65% 、MFDを $9 \mu m$ としたときの特性を示している。また、グラフD4は Δn を 0.45% 、MFDを $10 \mu m$ としたときの特性を示している。なお、 $SOA 20_i$ のMFDは、グラフD1～D4のいずれの場合も $4.8 \mu m$ である。

【 0 0 8 4 】

これらのグラフD1～D4に示すように、 $SOA 20_i$ と光導波路 31_i との光軸の軸ずれ量が $\pm 2 \mu m$ 以下の範囲内にある場合、光導波路 31_i での比屈折率差 Δn が大きく、そのMFDが小さい方が、光の結合損失が小さく抑えられている。したがって、上記構成の光集積素子1Aにおいては、光回路素子30での光導波路 31_i のコア36及びクラッド37の比屈折率差 Δn を 1.0% 以上に設定することが好ましい。

【 0 0 8 5 】

図10は、図1に示した光集積素子1Aにおける $SOA 20_i$ と光導波路 31_i

との間での光の結合損失を示すグラフである。このグラフにおいて、横軸は、 $SOA20_i$ と光導波路 31_i との光軸の軸ずれ量(μm)を示している。また、縦軸は、 $SOA20_i$ と光導波路 31_i との間での光の結合損失(dB)を示している。

【0086】

ここでは、 $SOA20_i$ の下流側の端面と、光導波路 31_i の上流側の端面との間の距離を $20\mu m$ としている。また、光導波路 31_i として、コア36とクラッド37との比屈折率差 Δn が1.5%、MFDが $5.6\mu m$ の光導波路を想定している。

【0087】

また、グラフE1～E3は、SSC構造を有する $SOA20_i$ におけるFFPを変化させたときの光の結合特性をそれぞれ示している。

【0088】

具体的には、グラフE1は $SOA20_i$ のFFPを 12° としたときの特性を示している。また、グラフE2は $SOA20_i$ のFFPを 16° としたときの特性を示している。また、グラフE3は $SOA20_i$ のFFPを 20° としたときの特性を示している。

【0089】

これらのグラフE1～E3に示すように、SSC構造を有する $SOA20_i$ でのFFPが小さい方が、光の結合損失が小さく抑えられている。したがって、上記構成の光集積素子1Aにおいては、SSC構造でのFFPを 15° 以下に設定することが好ましい。

【0090】

図11は、本発明による光集積素子の他の実施形態の断面構成を示す側面断面図である。また、図12は、図11に示した光集積素子の平面構成を示す上面図である。なお、図11は、光集積素子における光伝搬方向に平行であって、 $SOA20_1$ 、及び光導波路 31_1 の光軸を含む断面図となっている。

【0091】

また、図13は、図11及び図12に示した光集積素子におけるシリコンベン

チの平面構成を、シリコンベンチ上に搭載される光集積素子の各構成要素を除いた状態で示す上面図である。

【 0 0 9 2 】

本実施形態の光集積素子 1 B は、シリコンベンチ 1 0 と、SOA 2 0 と、光回路素子 3 0 と、光ファイバ 4 0 とを備えている。

【 0 0 9 3 】

シリコンベンチ 1 0 の素子搭載面には、光伝搬方向の上流側から下流側に向かって、SOA 2 0 を搭載するための第 1 搭載面 1 0 a、光回路素子 3 0 を搭載するための第 2 搭載面 1 0 b、及び光ファイバ 4 0 を搭載するための第 3 搭載面 1 0 c が設けられている。また、シリコンベンチ 1 0 の素子搭載面上には、絶縁膜が形成されている。

【 0 0 9 4 】

SOA 2 0 としては、図 1 1 及び図 1 2 に示した光集積素子 1 B においては、4 個の SOA 2 0₁ ~ 2 0₄ が設置されている。それぞれの SOA 2 0_i (i = 1 ~ 4) は、上流側端面 2 1 が HR コートされ、また、下流側端面 2 2 が AR コートされている。これにより、SOA 2 0_i は、光増幅素子として機能するように構成されている。

【 0 0 9 5 】

これらの SOA 2 0₁ ~ 2 0₄ は、シリコンベンチ 1 0 の第 1 搭載面 1 0 a 上に、ボンディングパッド 5 1 を介し (図 1 3 参照)、互いに並列に配置されて搭載されている。また、SOA 2 0_i は、図 1 1 に示すように、その発光層 2 6 が第 1 搭載面 1 0 a 側に位置するようにフリップチップで搭載されている。また、SOA 2 0_i の膜堆積面には、電極材料による位置合わせマークが形成されている。また、SOA 2 0₁ ~ 2 0₄ が搭載されているシリコンベンチ 1 0 の第 1 搭載面 1 0 a 上には、電極 5 0 が設けられている。

【 0 0 9 6 】

光回路素子 3 0 は、石英基板 3 5 と、石英基板 3 5 の膜堆積面上に所定の導波路パターンで形成された光導波層と、石英基板 3 5 及び光導波層を覆うように形成されたオーバークラッド 3 7 とを有する。

【 0 0 9 7 】

本実施形態においては、光回路素子 3 0 のうちで上流側の光回路部分における石英基板 3 5 上の光導波層は、光伝搬方向を長手方向として互いに並列に配置された 4 本のコア 3 6 を有する導波路パターンで形成されている。これにより、光回路素子 3 0 の上流側の部分は、4 本の光導波路 $3\ 1_1 \sim 3\ 1_4$ を有して構成されている。また、それぞれの光導波路 $3\ 1_i$ ($i = 1 \sim 4$) は、その光軸が、対応する $SOA\ 20_i$ の光軸と一致する位置に設けられており、 $SOA\ 20_i$ からの光が光導波路 $3\ 1_i$ を伝搬されるようになっている。

【 0 0 9 8 】

また、光導波路 $3\ 1_1 \sim 3\ 1_4$ には、所定の反射ピーク波長を有する光誘起ブラッググレーティング 3 2 がそれぞれ形成されている。そして、光を増幅する $SOA\ 20_i$ と、対応する光導波路 $3\ 1_i$ に設けられたグレーティング 3 2 とによって、所定波長の光を生成する外部共振器型の光源が構成されている。また、光導波路 $3\ 1_1 \sim 3\ 1_4$ のそれぞれに設けられたグレーティング 3 2 は、互いに異なる反射ピーク波長を有している。これにより、本光集積素子 1 B は、発振波長が異なる 4 個の外部共振器型の光源から構成された 4 波長光源となっている。

【 0 0 9 9 】

一方、光回路素子 3 0 のうちで下流側の光回路部分における石英基板 3 5 上の光導波層は、光合波器 3 3 と、出力用の光導波路 3 4 とを有する導波路パターンで形成されている。上流側の光導波路 $3\ 1_1 \sim 3\ 1_4$ は、それぞれ光合波器 3 3 に接続されている。光合波器 3 3 は、光導波路 $3\ 1_1 \sim 3\ 1_4$ から入力される 4 波長の光を合波して、光導波路 3 4 へと出力する。

【 0 1 0 0 】

なお、図 1 2 においては、光合波器 3 3 を構成する光回路の具体的な導波路パターンについては、図示を省略している。このような光合波器 3 3 としては、例えば、AWG (Arrayed Waveguide Grating)、MZI (Mach-Zehnder Interferometer) 干渉計、あるいはMMI (Multimode Interference) カプラなどを用いることができる。

【 0 1 0 1 】

これらの光導波路 $31_1 \sim 31_4$ 、光合波器 33、及び光導波路 34 を有する光回路素子 30 は、ボンディングパッド 52 を介し（図 13 参照）、シリコンベンチ 10 の第 2 搭載面 10b 上に搭載されている。また、光回路素子 30 は、図 11 に示すように、そのコア 36 を含む光導波層が第 2 搭載面 10b 側に位置するようにフリップチップで搭載されている。

【 0 1 0 2 】

シリコンベンチ 10 の第 2 搭載面 10b には、図 13 に示すように、光導波路 $31_1 \sim 31_4$ のそれぞれに沿うように 4 本の V 溝 13 が形成され、さらに、出力用の光導波路 34 に沿うように V 溝 15 が形成されている。また、第 2 搭載面 10b には、光合波器 33 に面する部分を含む範囲に、ダイシング溝 16 が設けられている。また、シリコンベンチ 10 には、SOA $20_1 \sim 20_4$ を搭載する第 1 搭載面 10a と、光回路素子 30 を搭載する第 2 搭載面 10b との間に、ダイシング溝 11 が設けられている。

【 0 1 0 3 】

光ファイバ 40 としては、本実施形態においては、1 本の光ファイバ 40 が設置されている。光ファイバ 40 は、そのコア 41 の光軸が、対応する光導波路 34 の光軸と一致する位置に設けられており、光導波路 34 からの光が光ファイバ 40 へと入力されるようになっている。

【 0 1 0 4 】

この光ファイバ 40 は、シリコンベンチ 10 の第 3 搭載面 10c 上に搭載されている。

【 0 1 0 5 】

シリコンベンチ 10 の第 3 搭載面 10c には、図 13 に示すように、V 溝 14 が形成されている。光ファイバ 40 は、対応する V 溝 14 によって位置決めされて固定されている。また、シリコンベンチ 10 には、光回路素子 30 を搭載する第 2 搭載面 10b と、光ファイバ 40 を搭載する第 3 搭載面 10c との間に、ダイシング溝 12 が設けられている。

【 0 1 0 6 】

SOA $20_1 \sim 20_4$ をシリコンベンチ 10 上に搭載するためのボンディングパ

ッド51は、図13に実線で示すように、シリコンベンチ10側の第1搭載面10a上に設けられている。また、光導波路31₁～31₄、光合波器33、光導波路34を有する光回路素子30をシリコンベンチ10上に搭載するためのボンディングパッド52は、図13に破線で示すように、シリコンベンチ10の第2搭載面10bに対向する光回路素子30側のクラッド37の面上に、メタル層を介して設けられている。

【0107】

また、シリコンベンチ10の第2搭載面10b上には、素子搭載面上にSOA20₁～20₄及び光回路素子30を搭載するときにダイボンダに認識させる位置合わせマーク53が形成されている。同様に、光回路素子30のクラッド37の面上には、位置合わせマーク54が形成されている。

【0108】

本実施形態による光集積素子の効果について説明する。

【0109】

図11～図13に示した光集積素子1Bにおいては、SOA20₁～20₄と、光回路素子30との2種類の光部品を別々に用意する。そして、それらを光回路素子30の基板35とは別に設けられたシリコンベンチ10の所定の面上に搭載することによって、光集積素子1Bを構成している。これにより、SOA20₁～20₄に対して、偏波依存性などの特性が良好な光導波路31₁～31₄が集積された光集積素子1Bが得られる。また、2種類の光部品を別々に作製することにより、光集積素子1Bの製造歩留まりを向上することができる。

【0110】

また、光回路素子30の構成としては、図1に示した実施形態の光集積素子1Aの構成のみでなく、本実施形態のように、光合波器33を含む光回路パターンで光導波路が形成された光回路素子を用いることも可能である。このような構成では、4波長の光を合波することにより、1本の光ファイバ40から出力することができる。

【0111】

次に、上記した光集積素子を用いた光源モジュールについて説明する。

【 0 1 1 2 】

図 1 4 は、本発明による光源モジュールの一実施形態の構成を一部破断して示す斜視図である。本実施形態の光源モジュール 6 は、略円筒形状のハウジング 6 0 内に 4 波長光源である図 1 1 に示した光集積素子 1 B を設置した光モジュールである。光集積素子 1 B では、 $SOA\ 20_1 \sim 20_4$ 及び光導波路 $31_1 \sim 31_4$ で生成された 4 波長の光は、光合波器 3 3 で合波されて光ファイバ 4 0 から出力される。

【 0 1 1 3 】

光源モジュール 6 のハウジング 6 0 内には、フェルール 6 1、レンズ 6 3、及び光集積素子 1 B が、互いに光軸を一致させて設置されている。光集積素子 1 B は、ハウジング 6 0 の基部 6 5 上に、 $SOA\ 20_1 \sim 20_4$ が基部 6 5 側、光ファイバ 4 0 がレンズ 6 3 側に位置するように設置されている。また、基部 6 5 には、光集積素子 1 B の各素子に必要な電気信号等を供給するピン 6 6 が設けられている。

【 0 1 1 4 】

以上の構成において、光集積素子 1 B から出力された光は、集光用のレンズ 6 3 を介してフェルール 6 1 に挿通された光ファイバ 6 2 に入力され、この光ファイバ 6 2 から外部へと出力される。

【 0 1 1 5 】

図 1 5 は、本発明による光源モジュールの他の実施形態の構成を示す斜視図である。本実施形態の光源モジュール 7 は、略四角形状のパッケージ 7 0 内に 4 波長光源である図 1 1 に示した光集積素子 1 B を設置した光モジュールである。

【 0 1 1 6 】

光源モジュール 7 のパッケージ 7 0 内には、フェルール 7 1、及び光集積素子 1 B が、互いに光軸を一致させて設置されている。光集積素子 1 B は、パッケージ 7 0 の底部 7 5 上に、 $SOA\ 20_1 \sim 20_4$ がフェルール 7 1 とは反対側、光ファイバ 4 0 がフェルール 7 1 側に位置するように設置されている。また、光ファイバ 4 0 は、フェルール 7 1 に挿通された光ファイバ 7 2 に接続されている。また、パッケージ 7 0 の $SOA\ 20_1 \sim 20_4$ 側の面には、光集積素子 1 B の各素子

に必要な電気信号等を供給するピン 7 6 が設けられている。

【 0 1 1 7 】

以上の構成において、光集積素子 1 B から出力された光は、光ファイバ 4 0 からフェルール 7 1 に挿通された光ファイバ 7 2 に入力され、この光ファイバ 7 2 から外部へと出力される。

【 0 1 . 1 8 】

図 1 4、図 1 5 の光源モジュール 6、7 に示すように、上記構成の光集積素子を用い、シリコンベンチ上に搭載された半導体光素子及び光回路素子によって構成された光源からの光を出力するように光源モジュールを構成することにより、偏波依存性などの特性が良好な光集積素子を光源とする光通信用の光源モジュールが得られる。なお、このような光源モジュールは、図 1 に示した光集積素子 1 A を用いて構成することも可能である。

【 0 1 1 9 】

本発明による光集積素子、光集積素子の製造方法、及び光源モジュールは、上記した実施形態及び実施例に限られるものではなく、様々な変形が可能である。例えば、図 1、図 1 1 に示した光集積素子 1 A、1 B では、半導体光素子として半導体光増幅素子 $20_1 \sim 20_4$ を用いるとともに、光導波路 $31_1 \sim 31_4$ にグレーティング 3 2 を形成して、外部共振器型の光源を構成している。これに対して、半導体光素子として半導体レーザ素子を用い、光導波路にはグレーティングを形成しない構成としても良い。

【 0 1 2 0 】

また、光集積素子 1 A、1 B は、いずれも、4 波長光源として構成されているが、一般には、1 または複数個の半導体光素子及び光導波路から構成される 1 または複数波長の光源とすることが可能である。また、各素子のシリコンベンチ上への搭載については、必要な位置合わせ精度等に応じ、フリップチップ以外の搭載方法としても良い。

【 0 1 2 1 】

【発明の効果】

本発明による光集積素子、光集積素子の製造方法、及び光源モジュールは、以

上詳細に説明したように、次のような効果を得る。すなわち、所定波長の光を出力する半導体光素子と、基板上に半導体光素子からの光が伝搬される光導波路が形成された光回路素子とを、別に用意されたシリコンベンチ上に搭載する構成によれば、半導体光素子が搭載される基板、及び光導波路が形成される光回路素子の基板として、それぞれ好適な材質の基板を用いることができる。

【 0 1 2 2 】

したがって、半導体光素子に対して、偏波依存性などの特性が良好な光導波路が集積された光集積素子、及び光集積素子の製造方法が得られる。また、2種類の光部品を別々に作製することにより、光集積素子の製造歩留まりを向上することができる。

【 0 1 2 3 】

また、上記した光集積素子を備え、半導体光素子及び光回路素子によって構成された光源からの光を出力する構成の光源モジュールによれば、偏波依存性などの特性が良好な光集積素子を光源とする光通信用の光源モジュールが得られる。

【図面の簡単な説明】

【図 1】

光集積素子の一実施形態の光伝搬方向に平行な断面構成を示す側面断面図である。

【図 2】

図 1 に示した光集積素子の平面構成を示す上面図である。

【図 3】

図 1 に示した光集積素子におけるシリコンベンチの平面構成を示す上面図である。

【図 4】

図 1 及び図 2 に示した光集積素子の光伝搬方向に垂直な断面構成を示す I - I 矢印断面図である。

【図 5】

図 1 及び図 2 に示した光集積素子の光伝搬方向に垂直な断面構成を示す II - II 矢印断面図である。

【図 6】

図 1 に示した光集積素子に樹脂を充填した構成について示す（a）側面図、及び（b）上面図である。

【図 7】

図 1 に示した光集積素子の製造方法を概略的に示す工程図である。

【図 8】

図 1 に示した光集積素子の光学特性を模式的に示すグラフである。

【図 9】

図 1 に示した光集積素子における S O A と光導波路との間での光の結合損失を示すグラフである。

【図 1 0】

図 1 に示した光集積素子における S O A と光導波路との間での光の結合損失を示すグラフである。

【図 1 1】

光集積素子の他の実施形態の光伝搬方向に平行な断面構成を示す側面断面図である。

【図 1 2】

図 1 1 に示した光集積素子の平面構成を示す上面図である。

【図 1 3】

図 1 1 に示した光集積素子におけるシリコンベンチの平面構成を示す上面図である。

【図 1 4】

光源モジュールの一実施形態の構成を一部破断して示す斜視図である。

【図 1 5】

光源モジュールの他の実施形態の構成を示す斜視図である。

【符号の説明】

1 A、1 B…光集積素子、1 0…シリコンベンチ、1 0 a…第 1 搭載面、1 0 b…第 2 搭載面、1 0 c…第 3 搭載面、1 1、1 2…ダイシング溝、1 3、1 4、1 5…V 溝、1 6…ダイシング溝、1 8…樹脂、

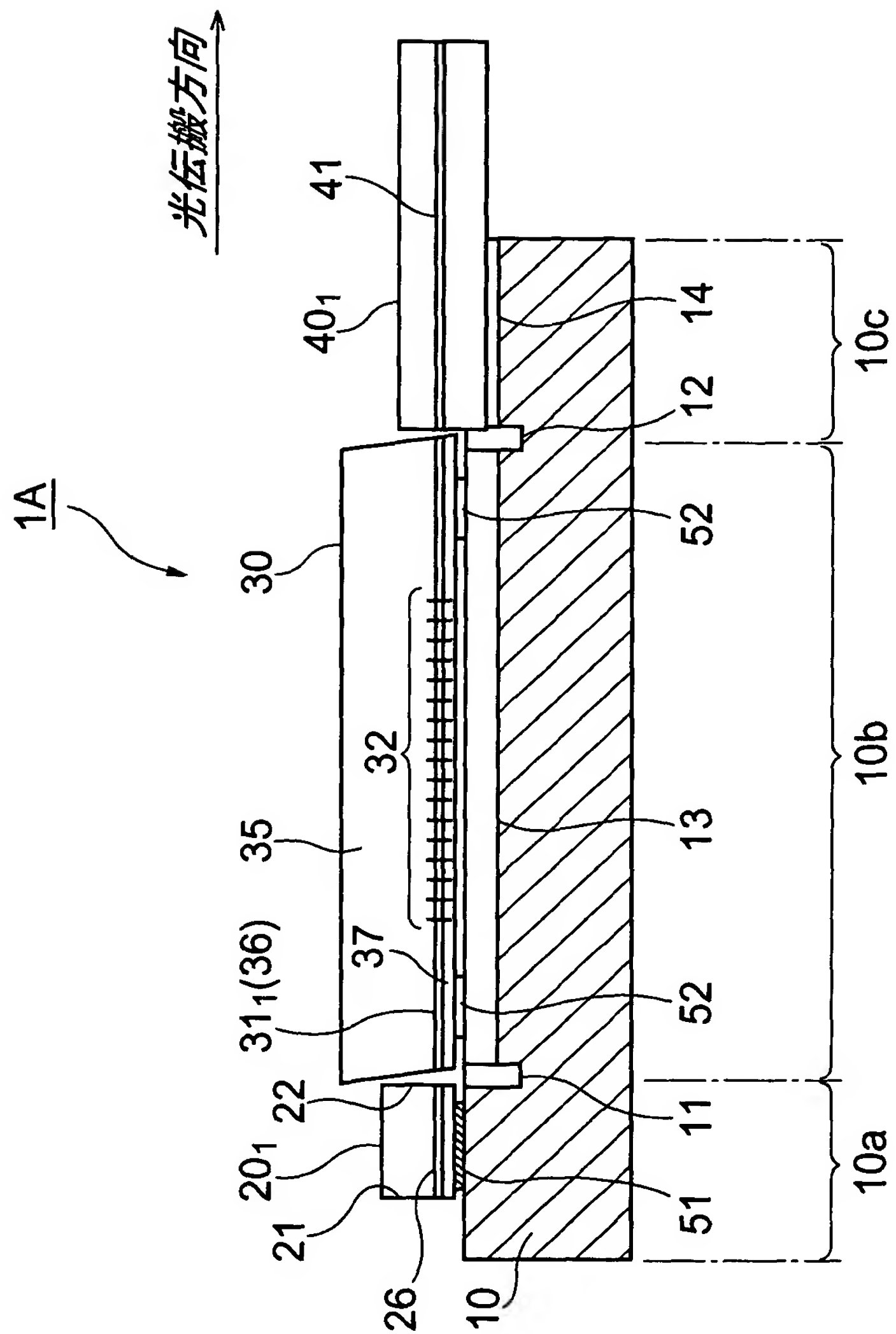
2 0、2 0₁～2 0₄…半導体光増幅素子（SOA）、2 1…上流側端面、2 2…下流側端面、2 6…発光層、3 0…光回路素子、3 1、3 1₁～3 1₄…光導波路、3 2…グレーティング、3 3…光合波器、3 4…光導波路、3 5…石英基板、3 6…コア、3 7…オーバークラッド、4 0、4 0₁～4 0₄…光ファイバ、4 1…コア、5 0…電極、5 1、5 2…ボンディングパッド、5 3、5 4…位置合わせマーク、

6…光源モジュール、6 0…ハウジング、6 1…フェルール、6 2…光ファイバ、6 3…レンズ、6 5…基部、6 6…ピン、7…光源モジュール、7 0…パッケージ、7 1…フェルール、7 2…光ファイバ、7 5…底部、7 6…ピン。

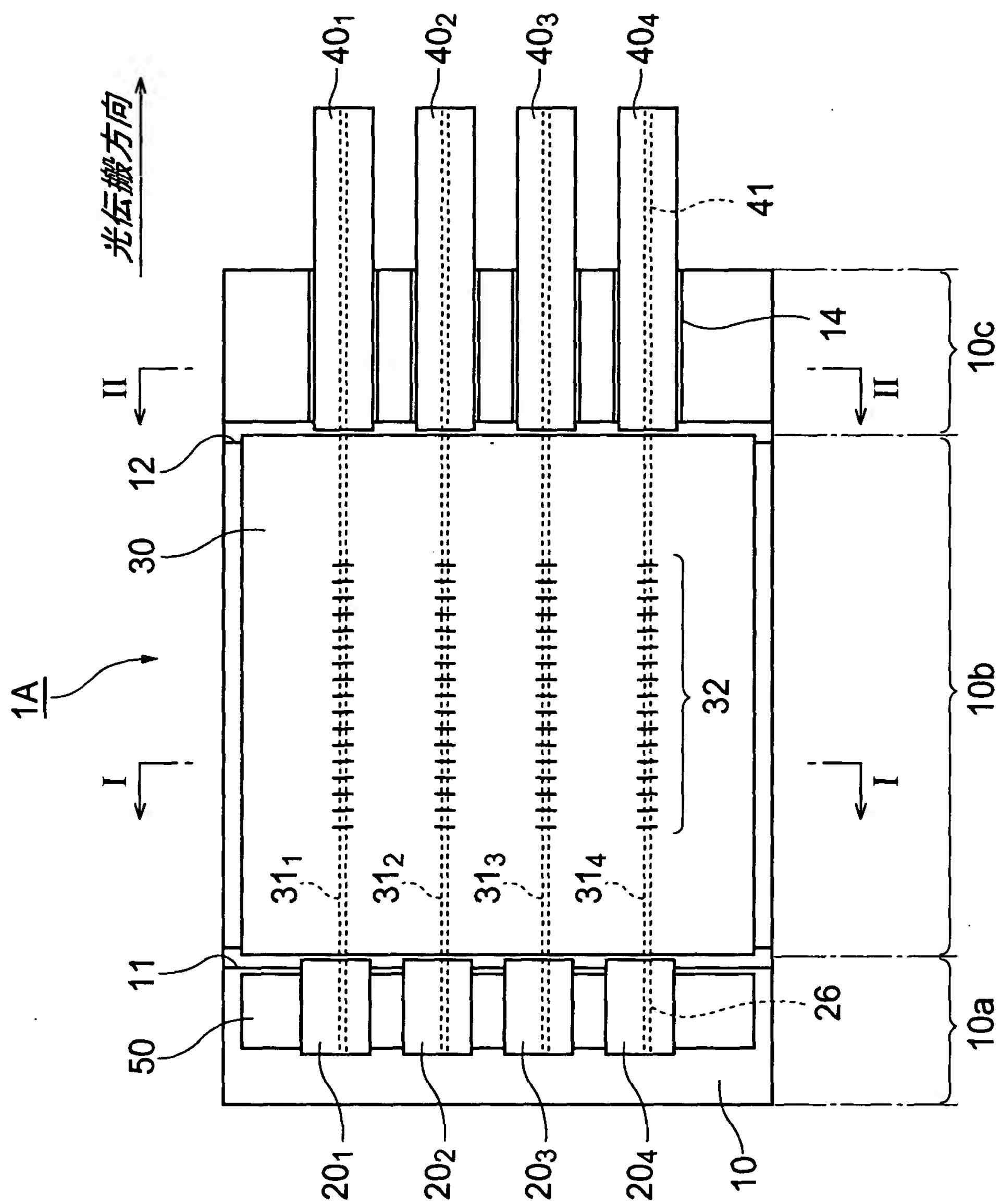
【書類名】

図面

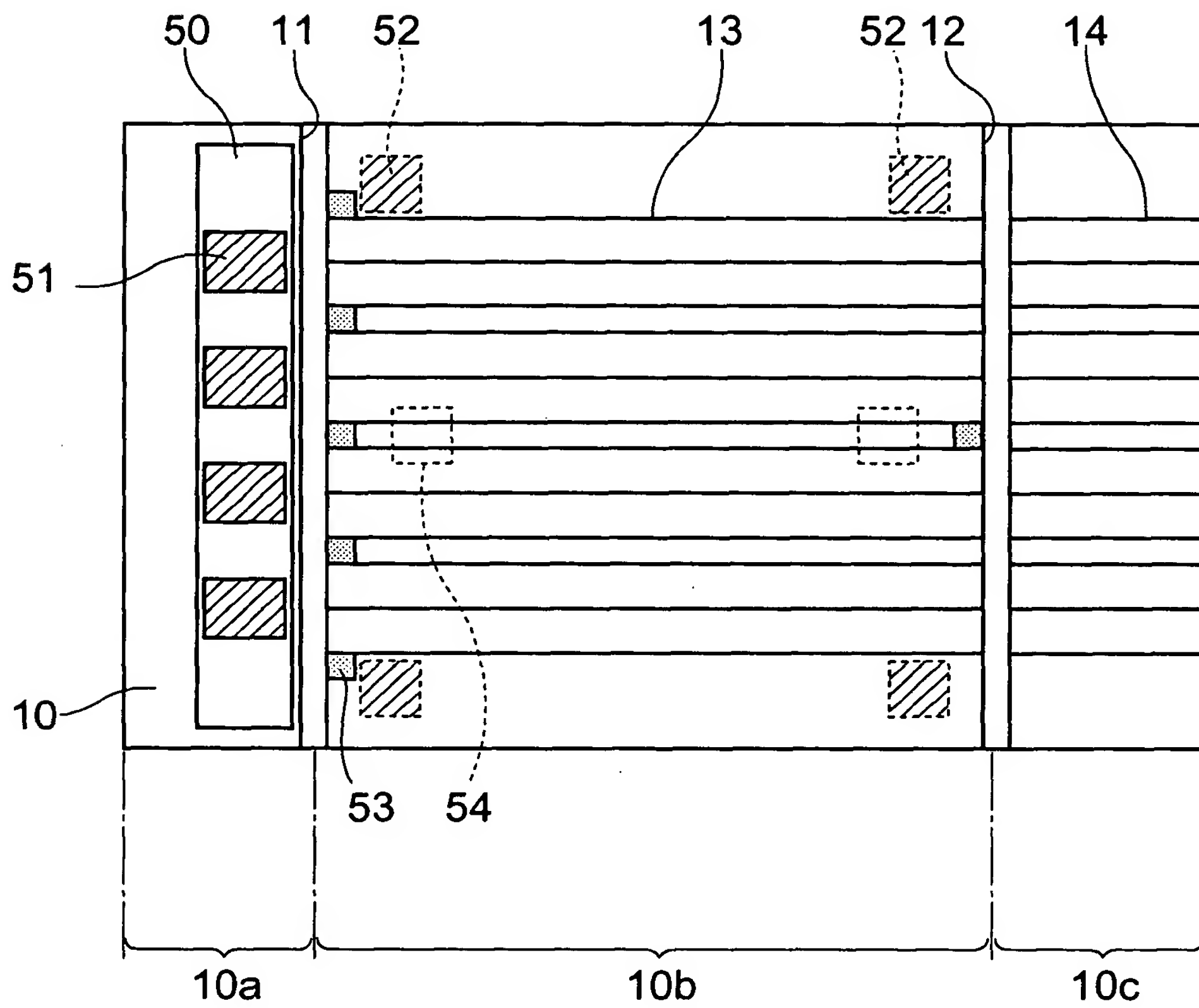
【図 1】



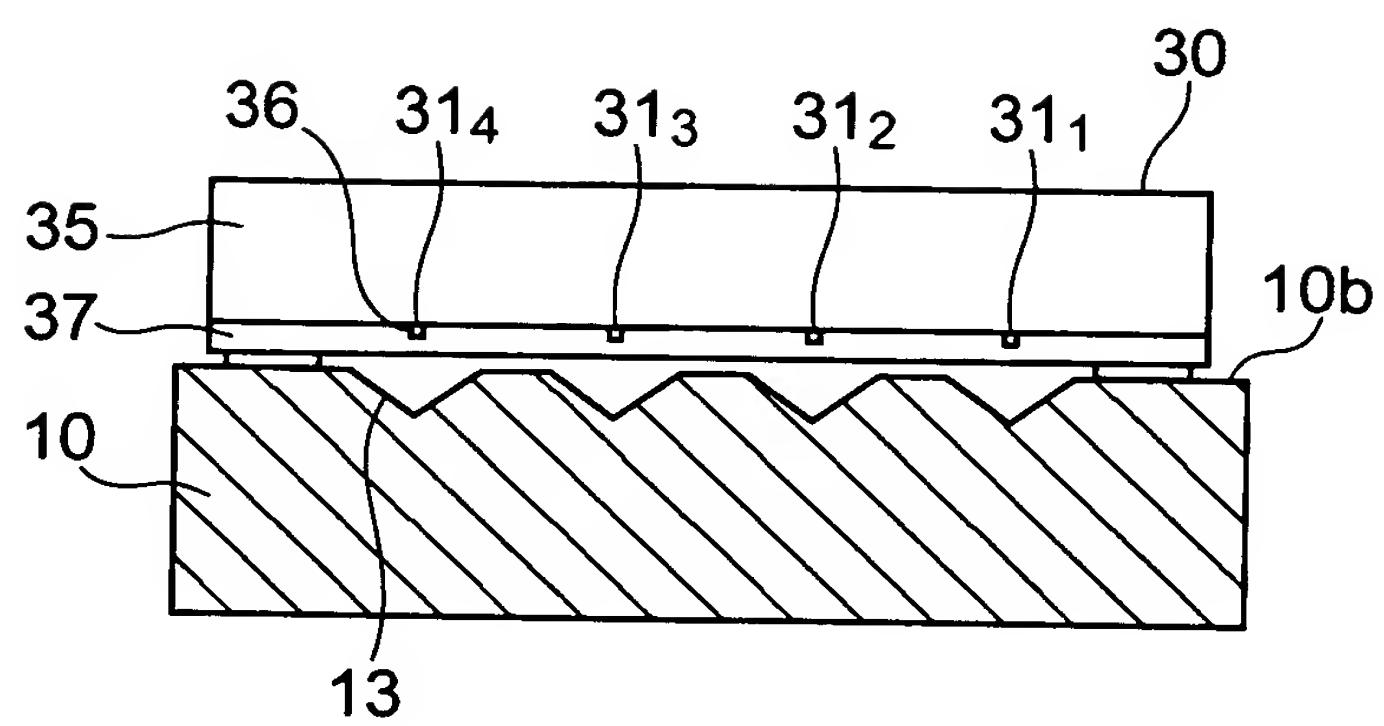
【図 2】



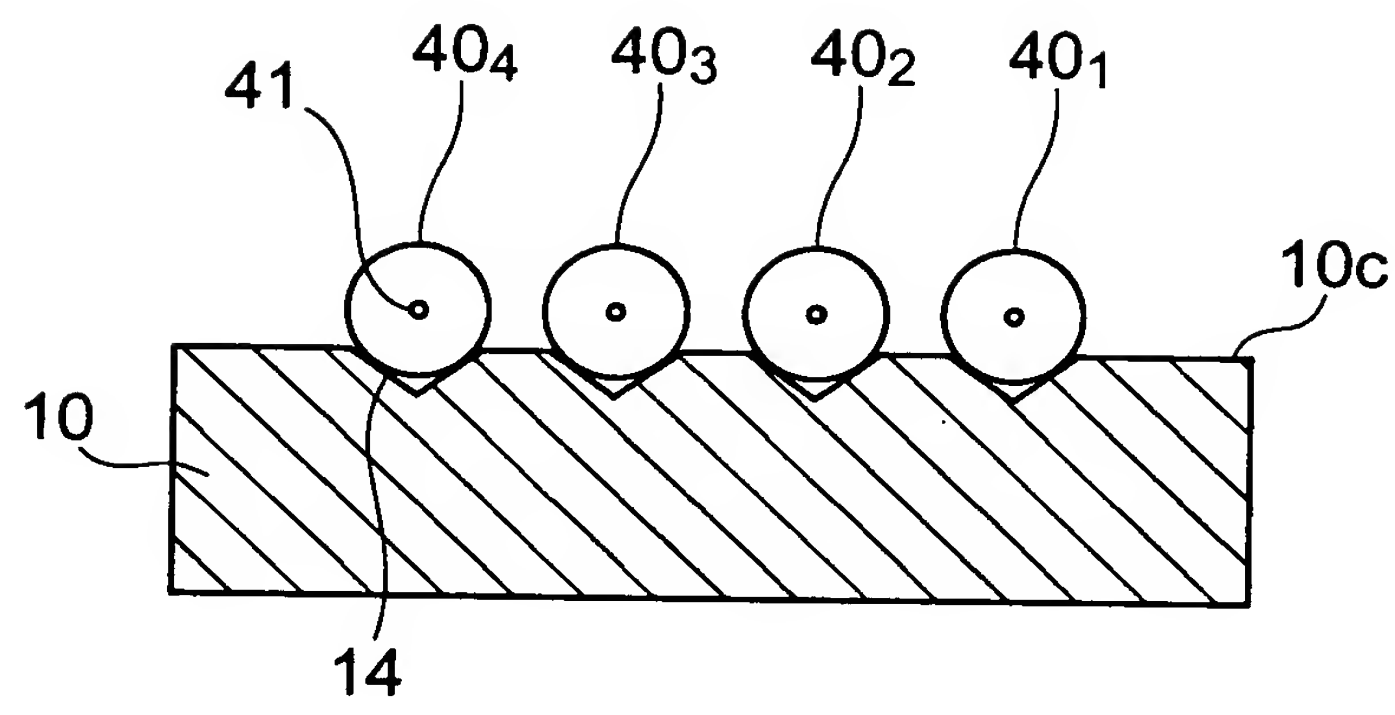
【図 3】



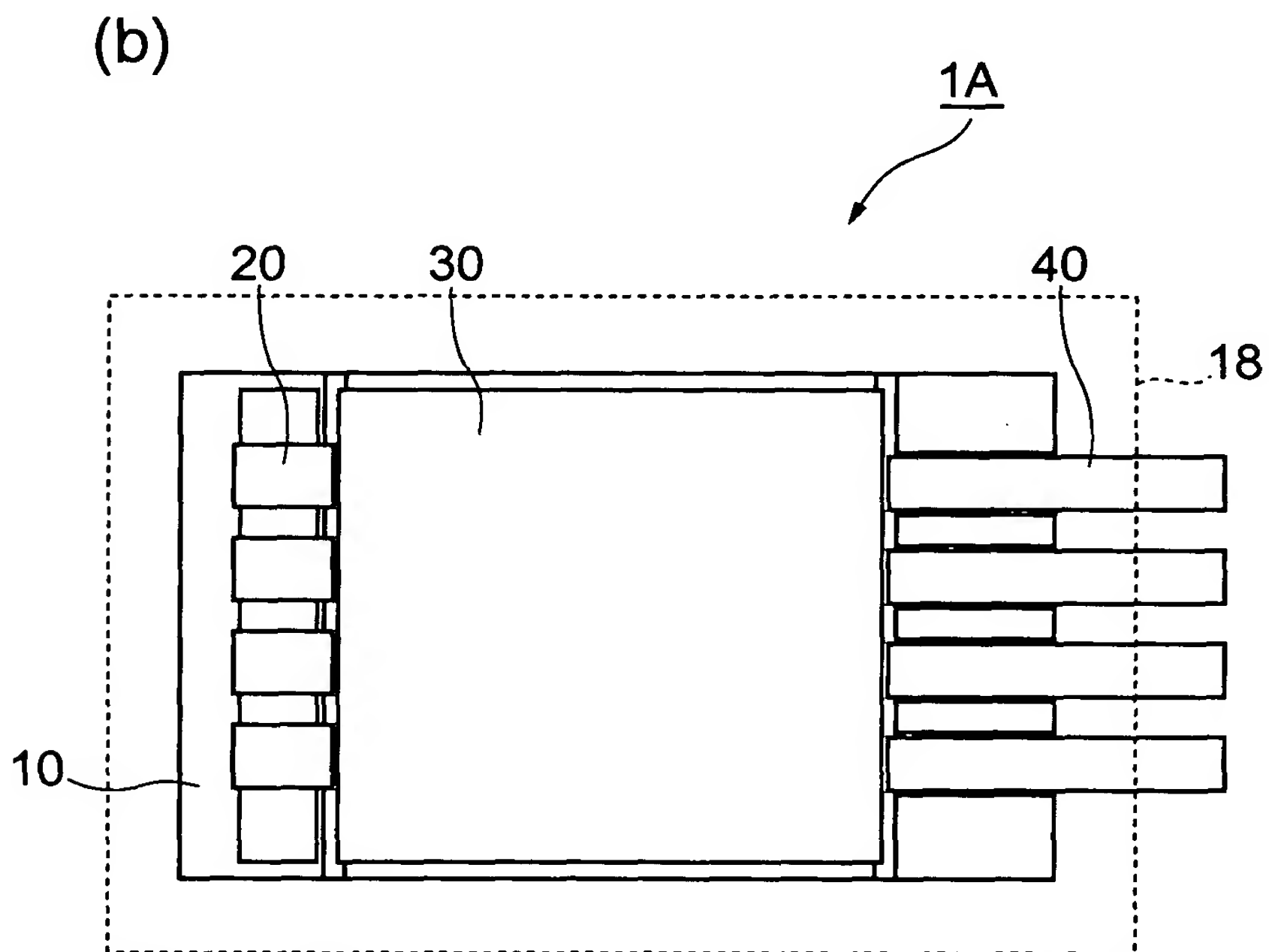
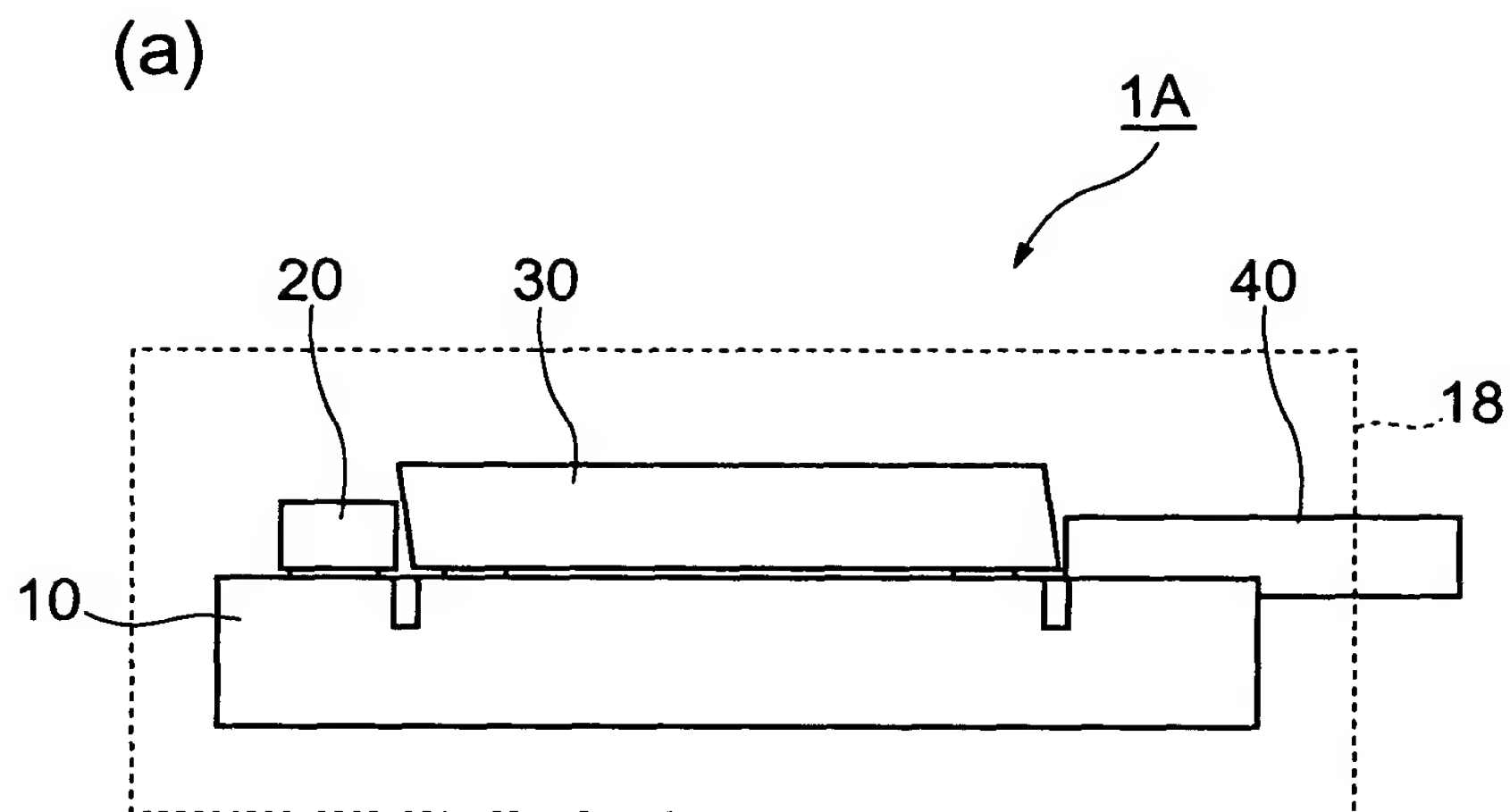
【図 4】



【図 5】

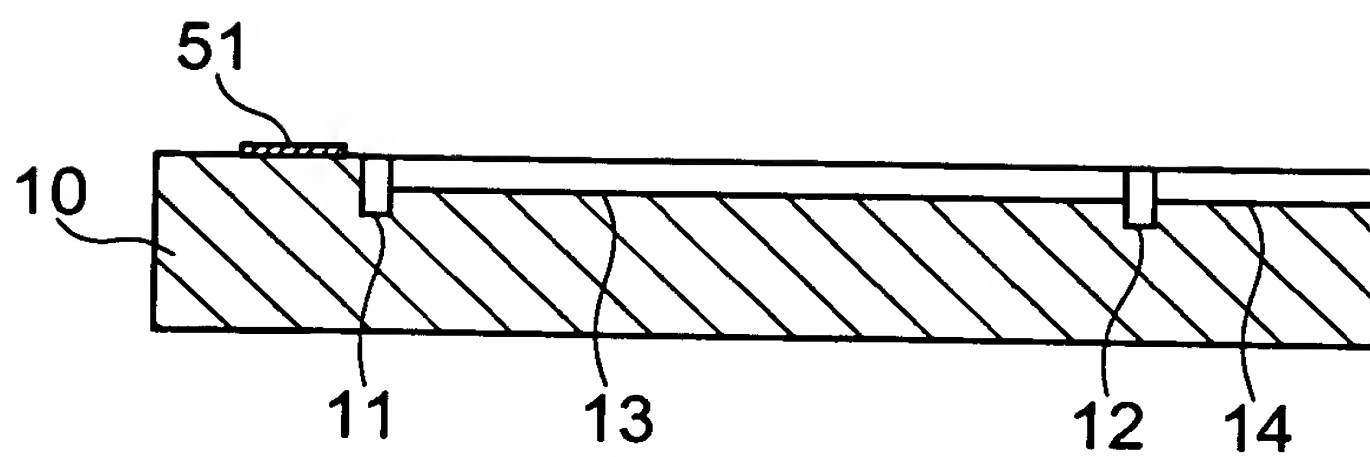


【図 6】

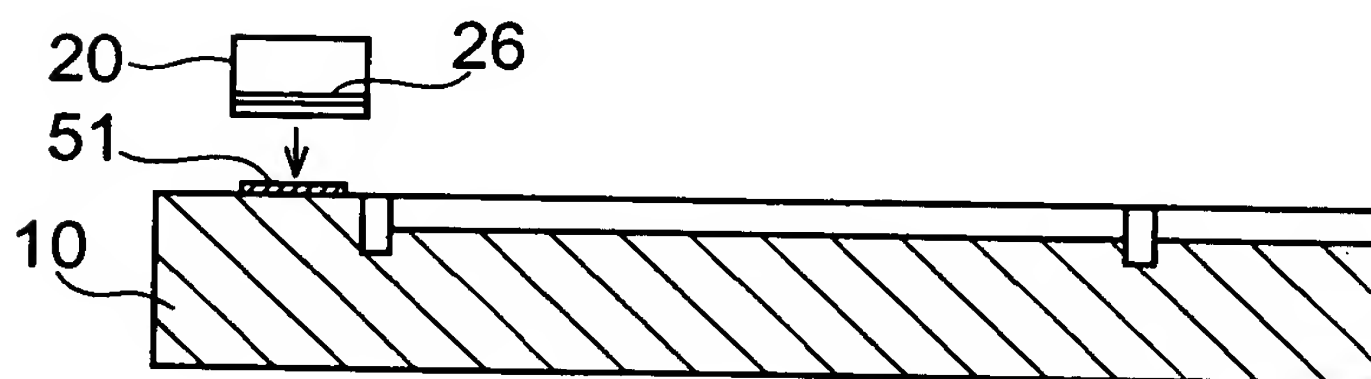


【図 7】

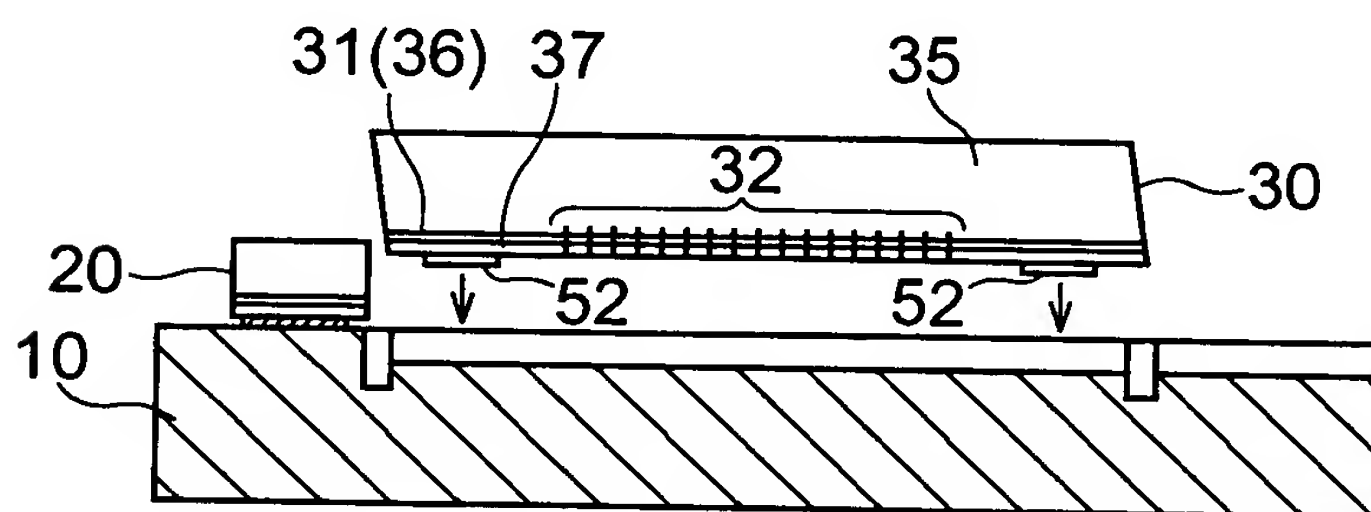
(a)



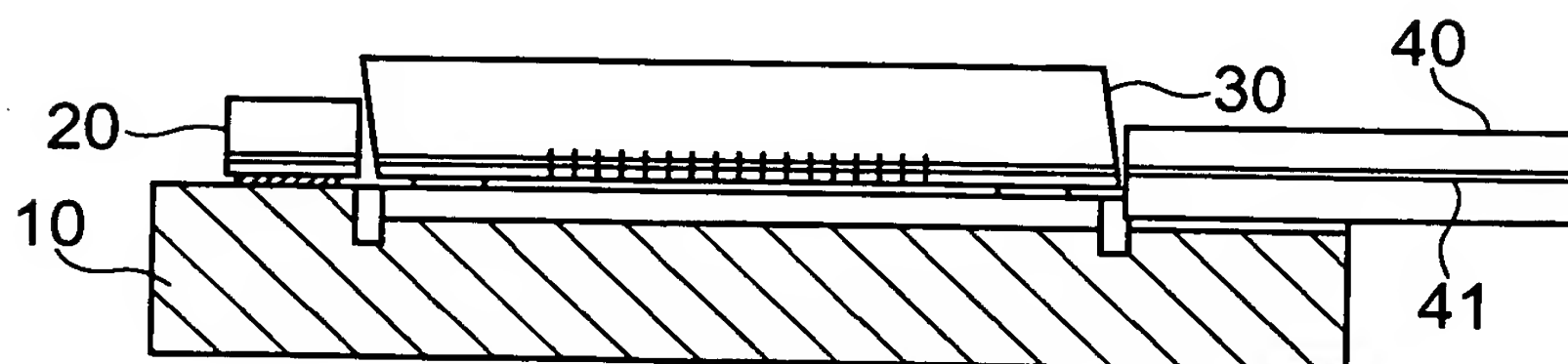
(b)



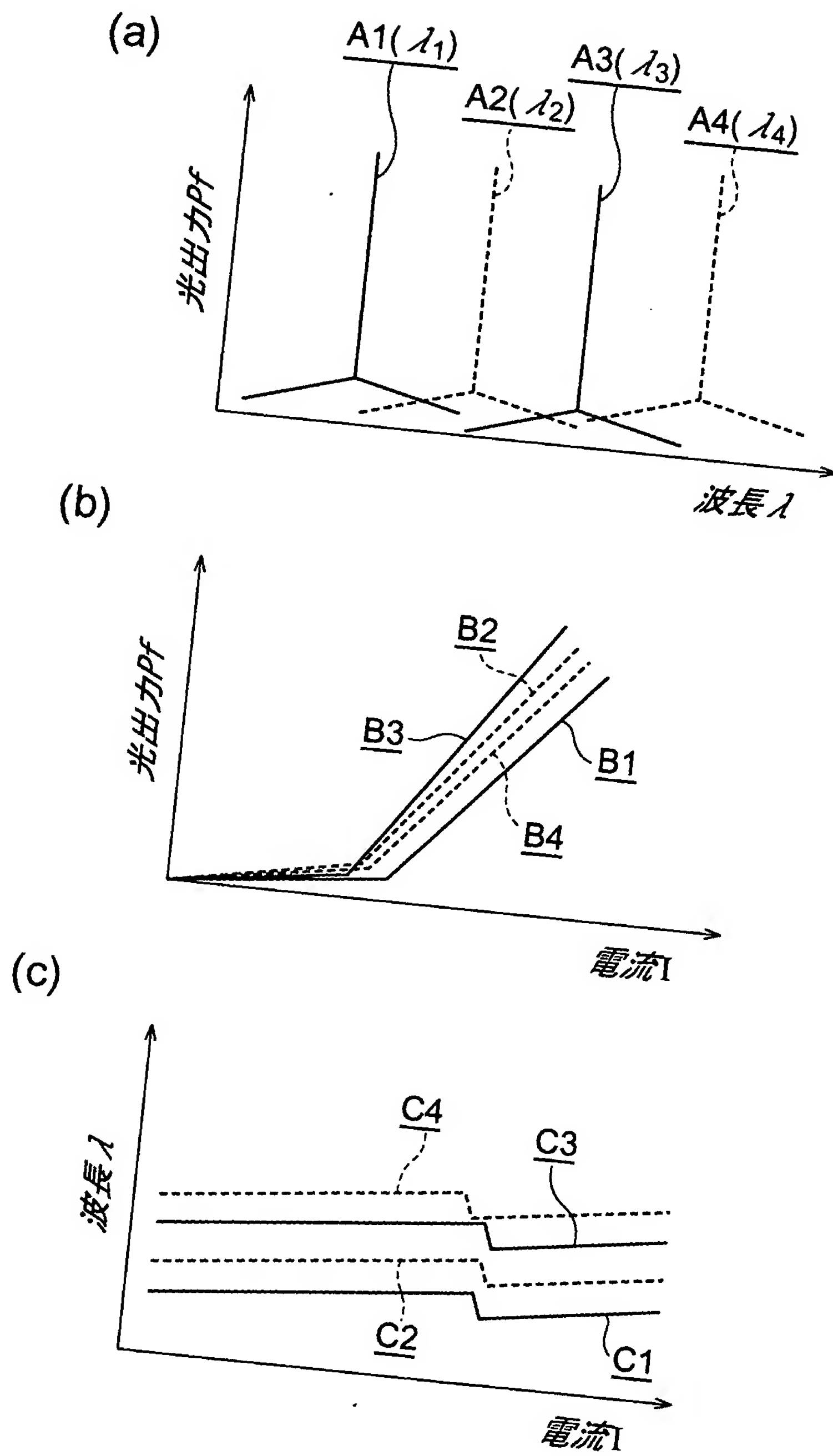
(c)



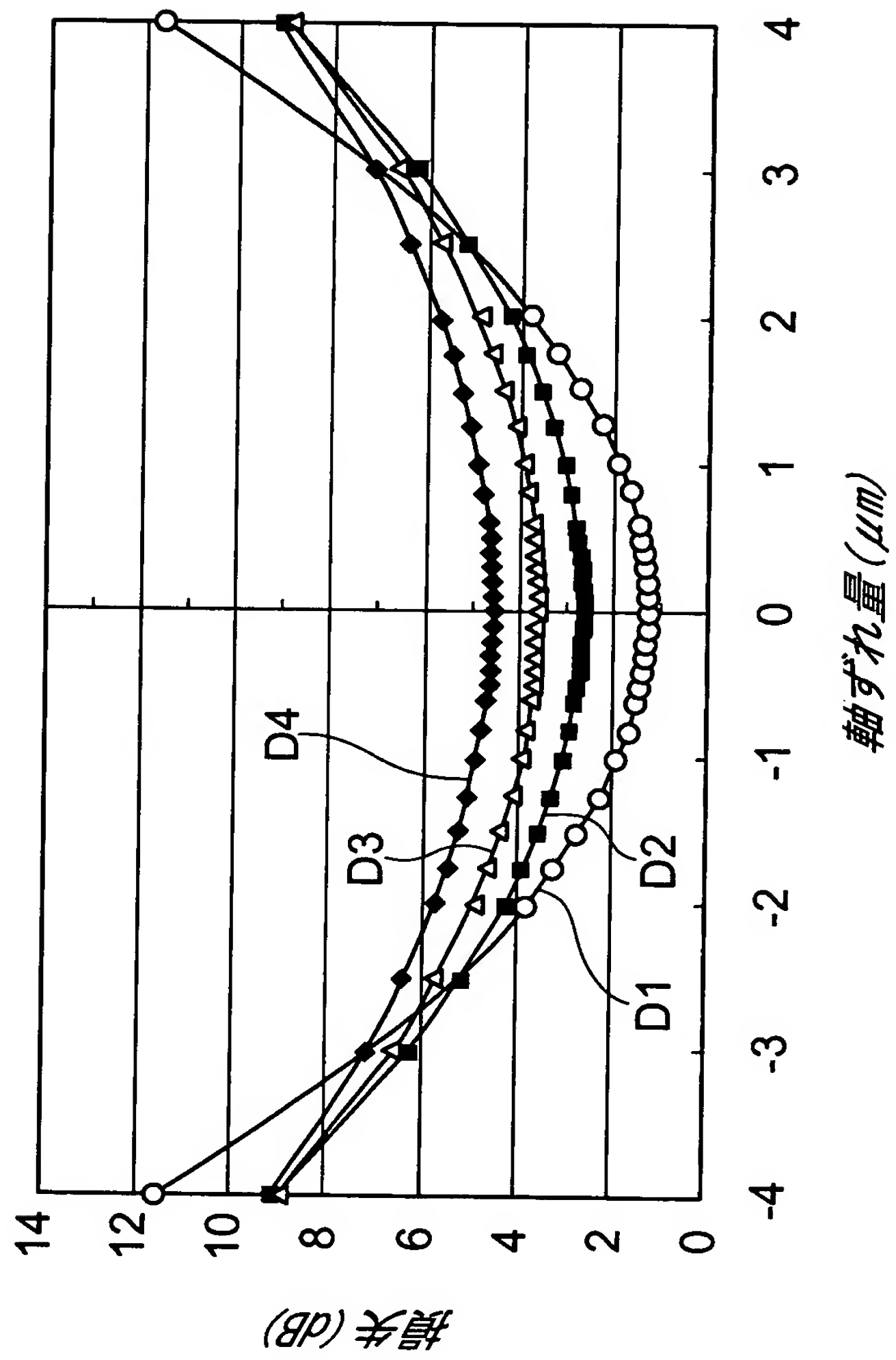
(d)



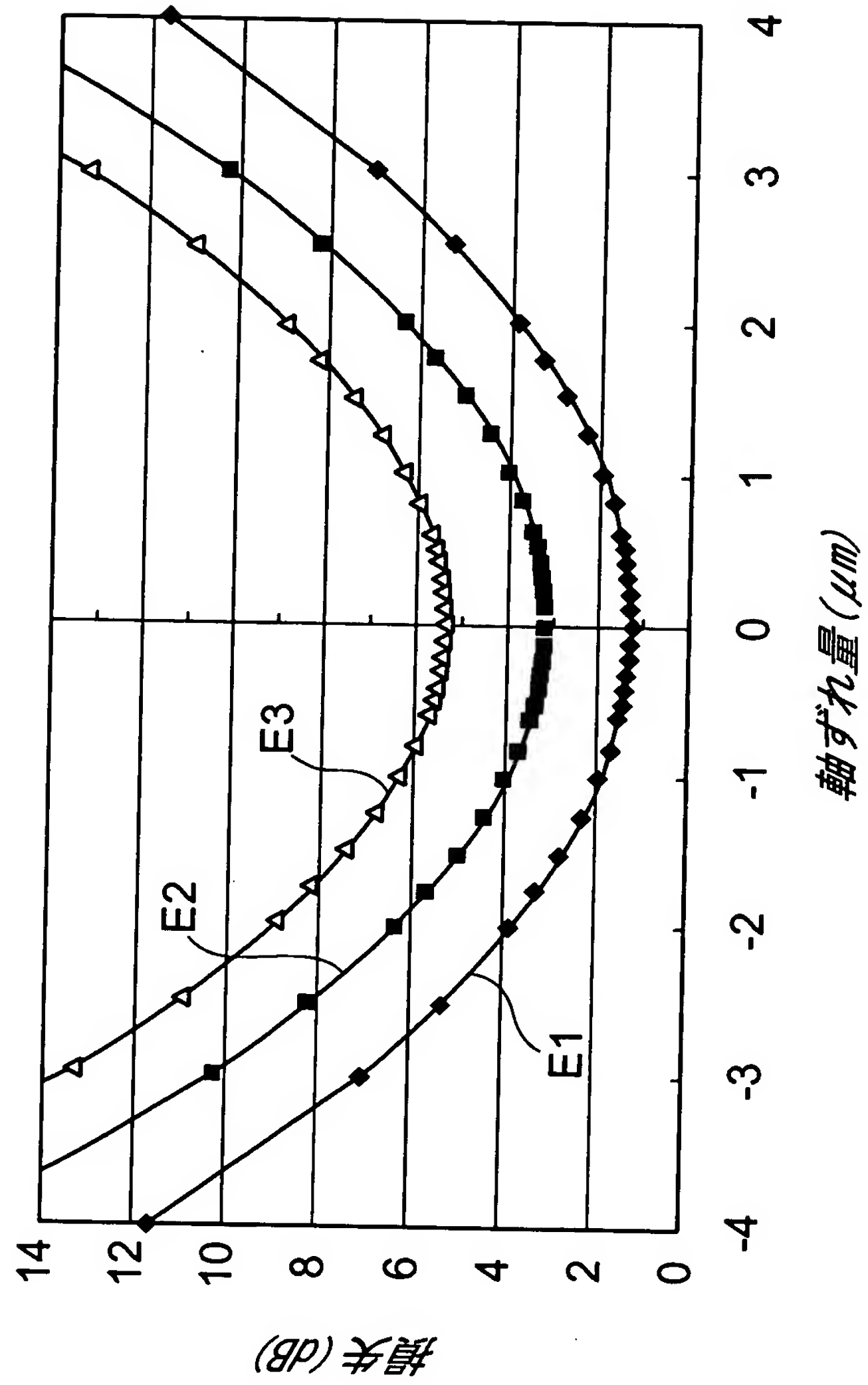
【図 8】



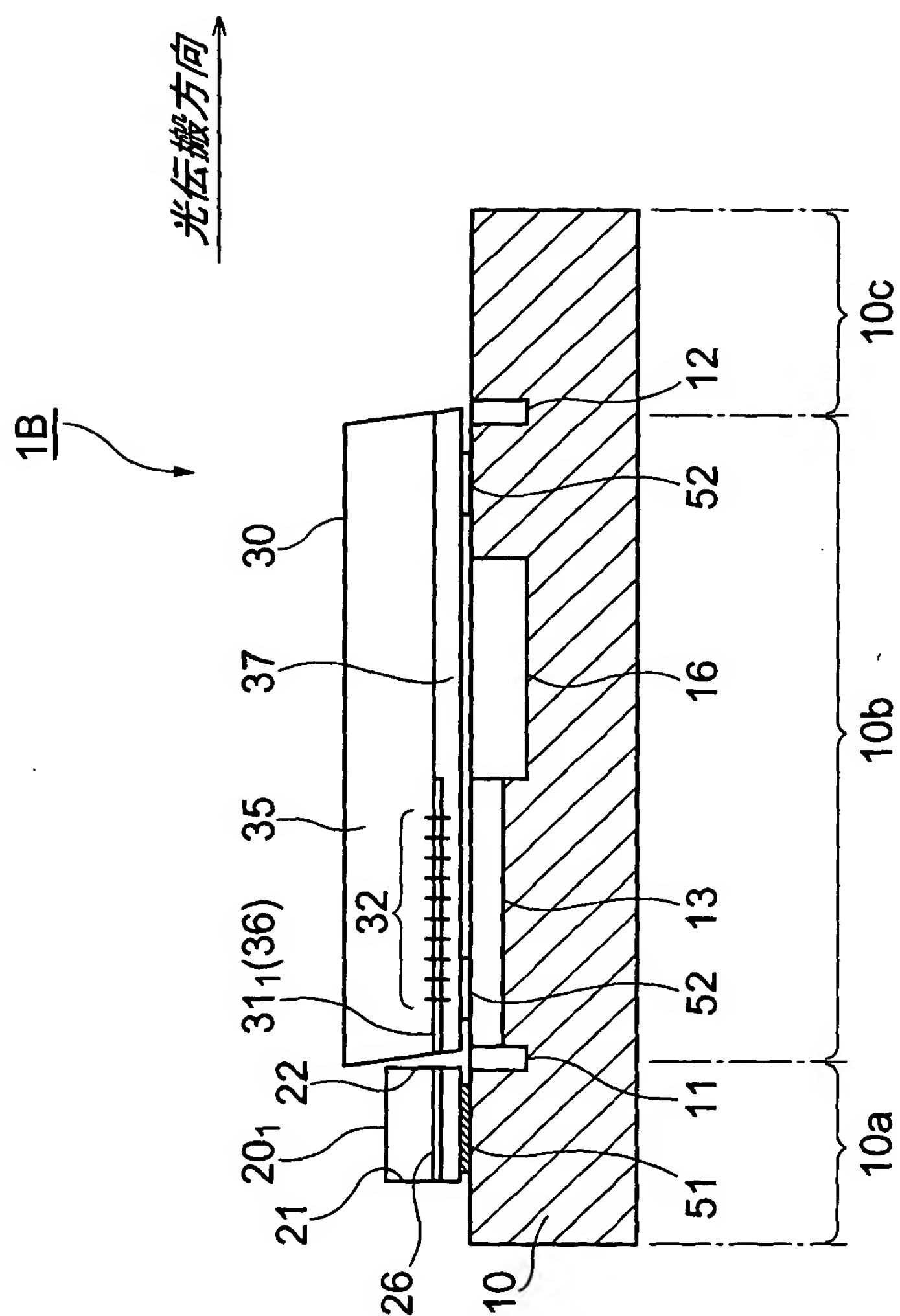
【図 9】



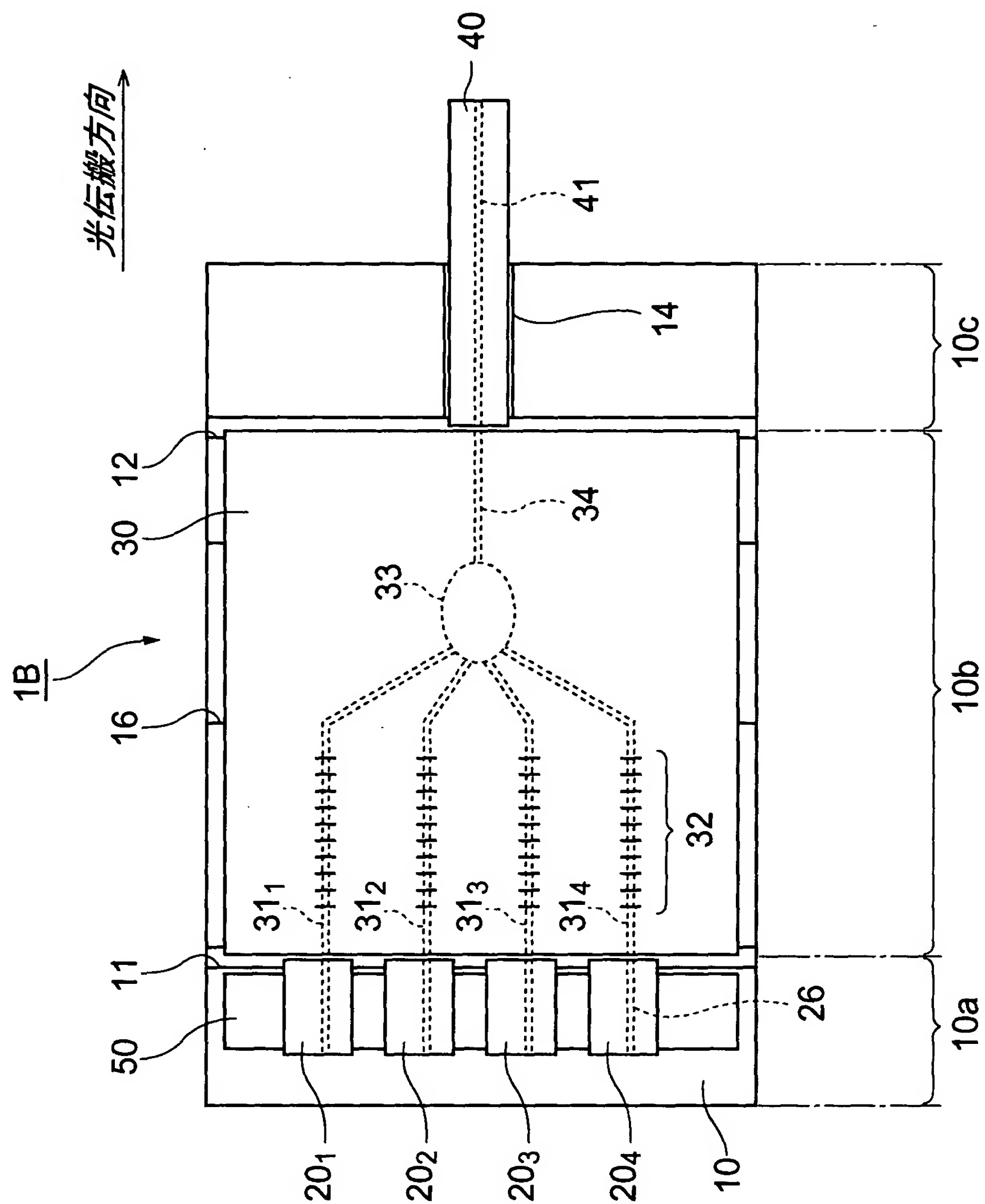
【図 1 0】



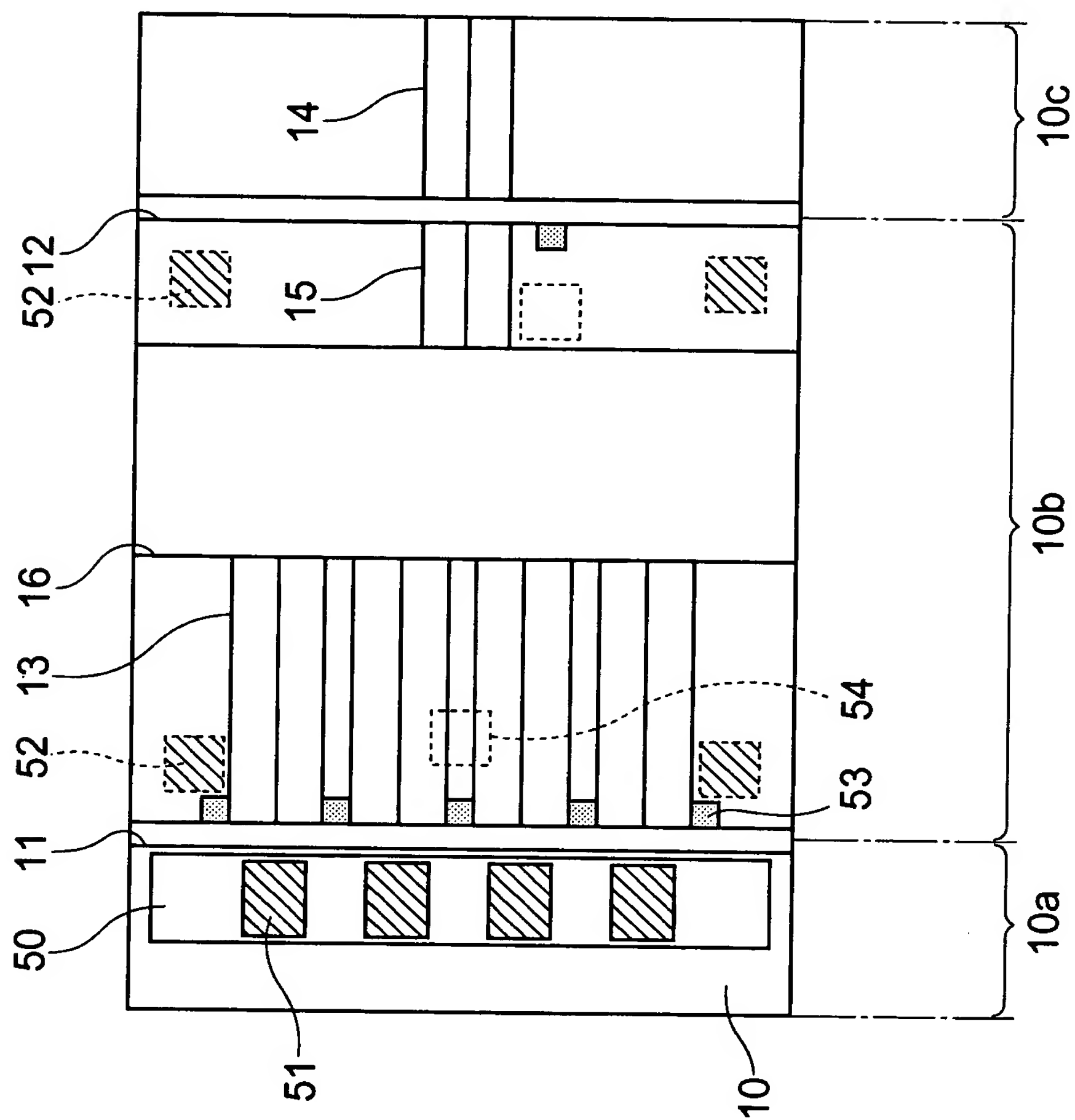
【図 1 1】



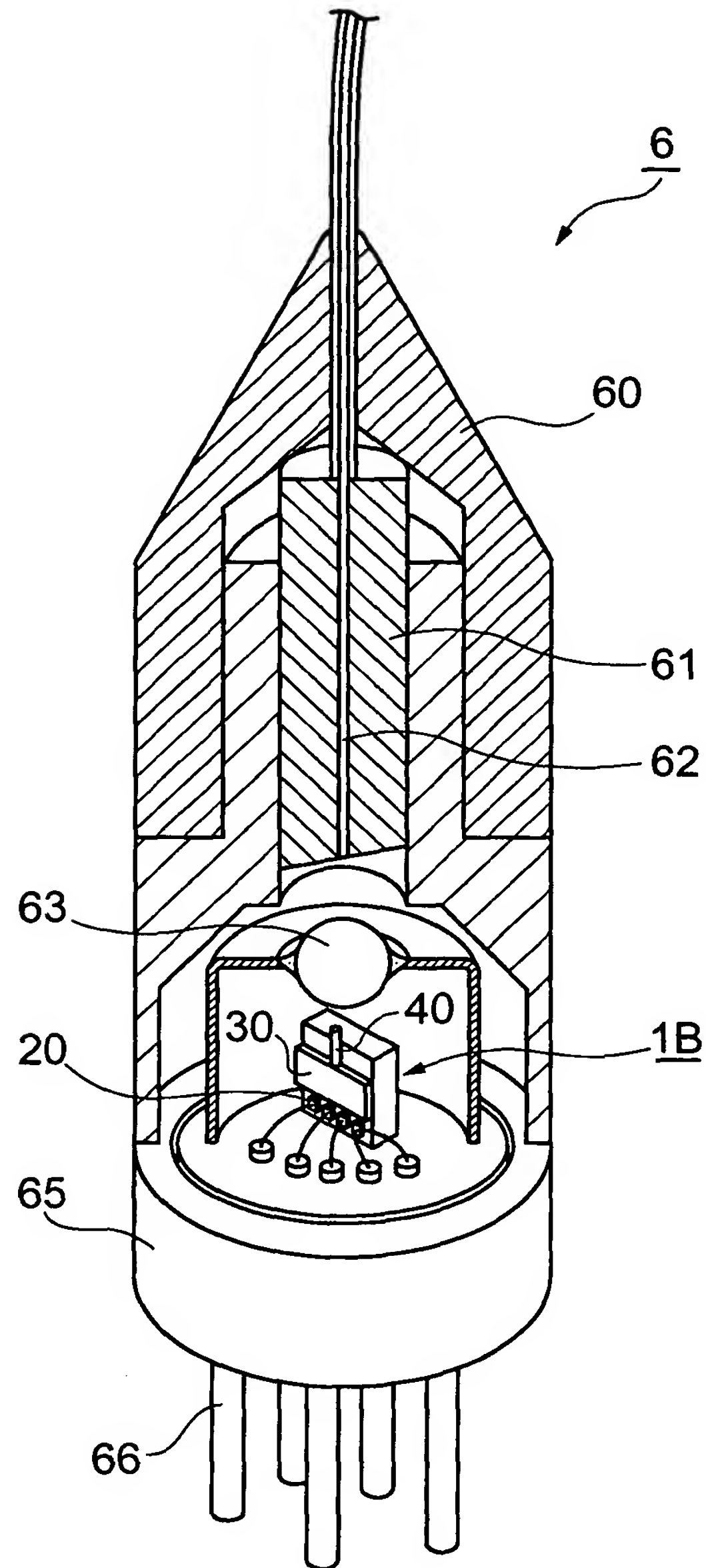
【図 12】



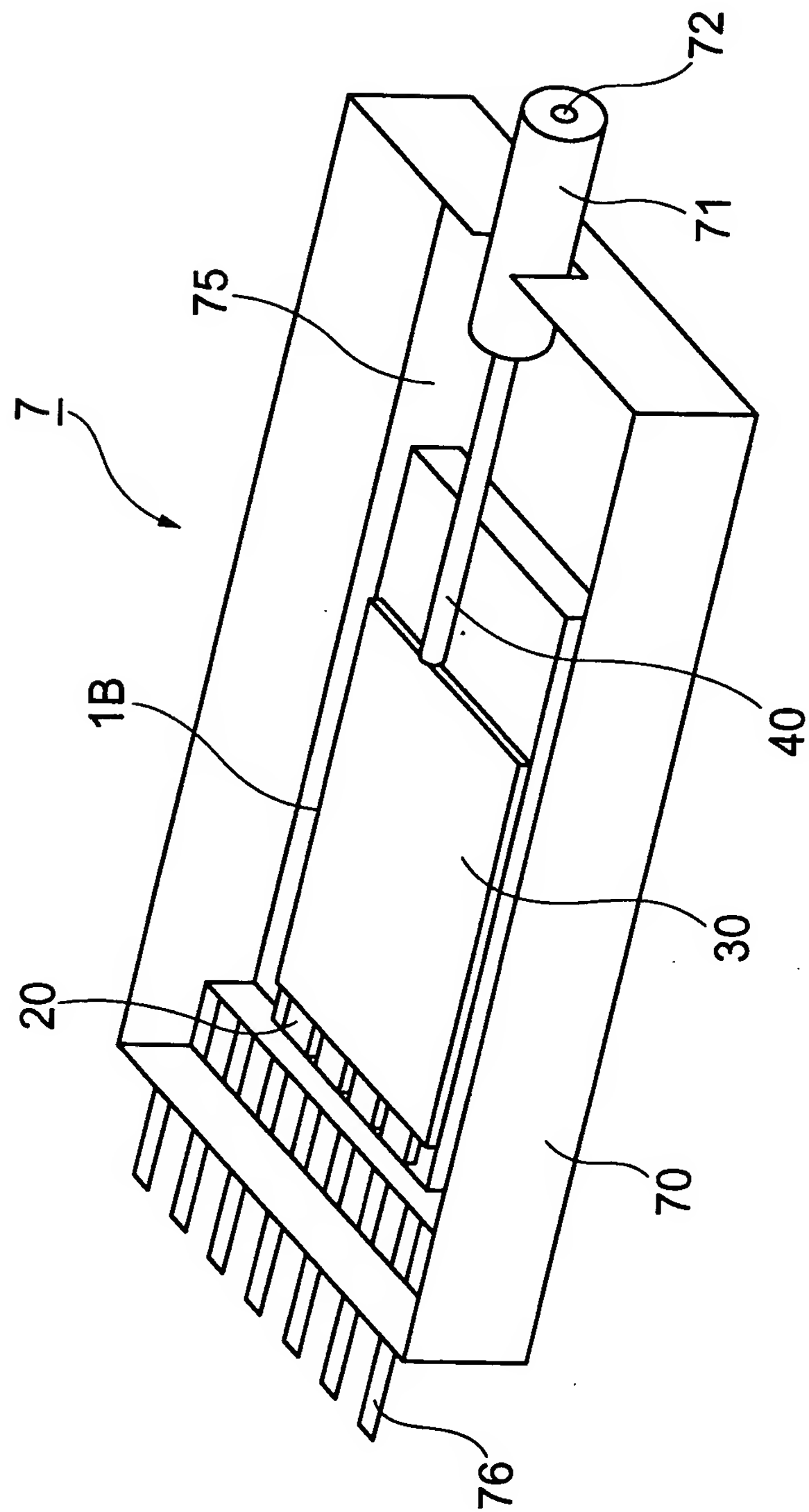
【図 1 3】



【図 1 4】



【図 1 5】



【書類名】 要約書

【要約】

【課題】 半導体光素子に対して偏波依存性などの特性が良好な光導波路が集積された光集積素子、光集積素子の製造方法、及び光源モジュールを提供する。

【解決手段】 光を増幅して出力する半導体光素子である4個のSOA 20₁～20₄と、SOA 20₁～20₄に対応し、それぞれグレーティング32が設けられた4本の平面導波路型の光導波路31₁～31₄が石英基板35上に形成された光回路素子30と、SOA 20₁～20₄及び光回路素子30を搭載するための基板であるシリコンベンチ10とを用意する。そして、SOA 20₁～20₄及び光回路素子30を、それぞれシリコンベンチ10の素子搭載面における第1搭載面10a及び第2搭載面10b上に搭載して、SOA 20₁～20₄からの光が光導波路31₁～31₄を伝搬される光集積素子1Aを構成する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 1 3 0]

1. 変更年月日 1 9 9 0 年 8 月 2 9 日

[変更理由] 新規登録

住 所 大阪府大阪市中央区北浜四丁目 5 番 3 3 号

氏 名 住友電気工業株式会社